

Лекція

**з дисципліни: «Комп'ютерна схемотехніка та архітектура
комп'ютерів»**

на тему: «Арифметичні схеми»

ПЛАН ЛЕКЦІЇ

1. Комбінаційні суматори.
2. Компаратори.
3. Арифметично-логічний пристрій

ЛІТЕРАТУРА

1. Сенько В.І. Електроніка і мікропроцесорна техніка: Навчальний посібник / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукин В.Є., Руденский А.А. – К. : Аграрна освіта, 2015. – 676 с.
2. Рябенський В. М. Цифрова схемотехніка / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів: “Новий Світ-2000”, 2020. — 736 с.
3. Девід М. Харріс і Сара Л. Харріс. Цифрова схемотехніка та архітектура комп'ютера / пер. з англ. 2-е вид. - Morgan Kaufman, 2013. - 1621 с.

1. Комбінаційні суматори

Комбінаційними суматорами називаються комбінаційні пристрої, що здійснюють арифметичне додавання чисел. У цифровій техніці додавання виконується переважно над двійковими (рідше двійково-десятковими) числами.

Комбінаційні суматори доволі часто будуються на основі однорозрядних напівсуматорів і однорозрядних повних суматорів.

Умовне позначення напівсуматора, його таблиця істинності, логічні рівняння, що описують його вихідні сигнали, і варіант його реалізації на логічних елементах подано на рис. 1. Тут a і b – входи доданків, S – вихід суми, p – вихід переносу.

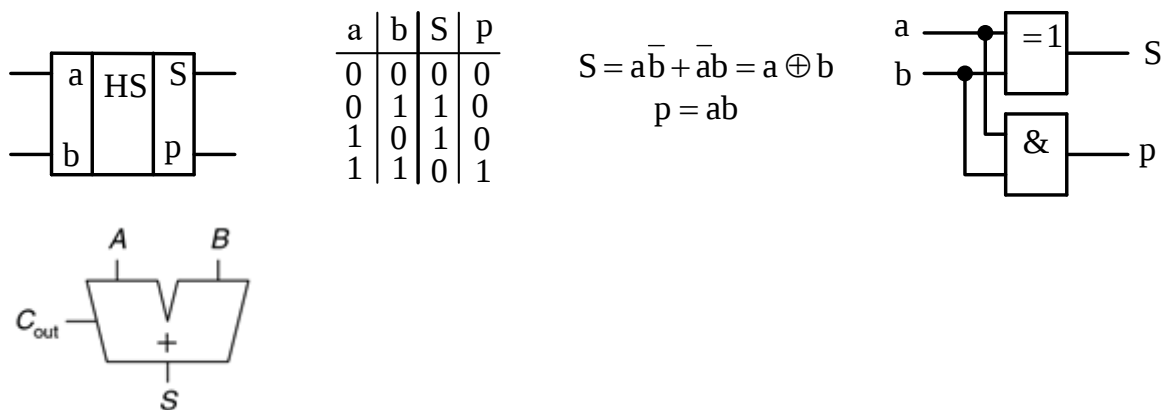


Рис. 1

На рис. 2. наведено умовне позначення однорозрядного повного суматора, його таблиця істинності, варіанти логічних рівнянь, що описують його роботу, і варіант реалізації на логічних елементах. Тут a і b – входи доданків, S – вихід суми, P_{i-1} – вхід переносу, P_i – вихід переносу.

Існує декілька типів багаторозрядних комбінаційних суматорів, тобто суматорів, що додають багаторозрядні числа. Вони різняться за формою вхідних кодів і способом побудови. Стосовно форми вхідних кодів суматори поділяються на послідовні та паралельні.

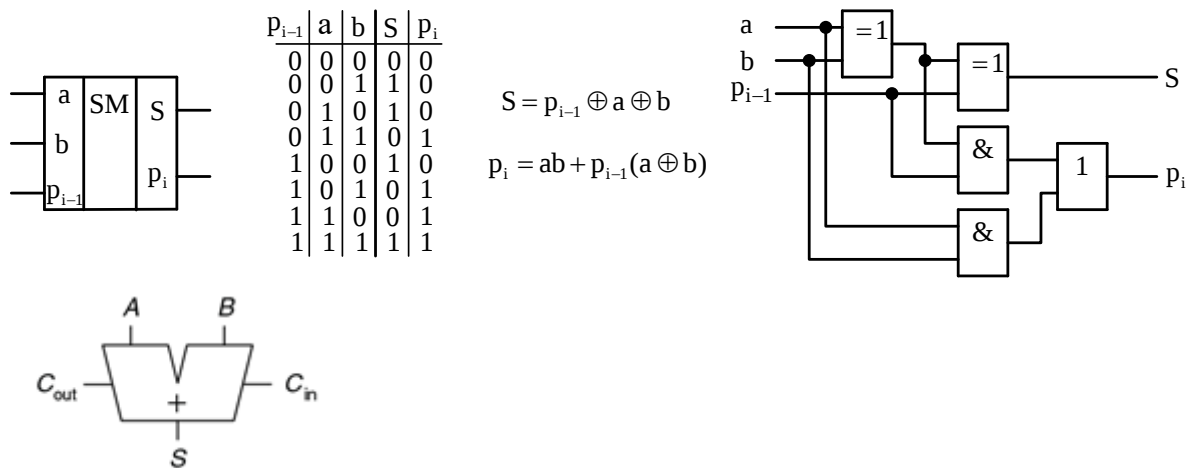


Рис. 2.

N -розрядний суматор складає 2 N -розрядних числа (A і B), а також вхідний перенос C_{in} , і формує N -розрядний результат S і вихідний перенос C_{out} . Такий суматор називається суматором з розповсюдженням переносом (carry propagate adder, CPA), так як вихідний перенос одного розряду переходить в наступний розряд. Умовне позначення такого суматора показано на рис. 3. Воно аналогічно позначенню повного суматора за винятком того, що входи / виходи A , B , S є шинами, а не окремими розрядами.

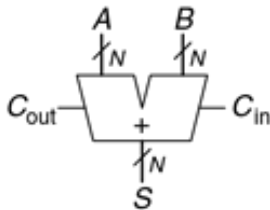


Рис. 3.

Найпростіший спосіб реалізації N -розрядного суматора - це об'єднання в ланцюг N повних суматорів. Вихід C_{out} деякого розряду буде надходити на вхід C_{in} наступного розряду і т. д. (рис. 4 для 32-розрядної суматора).

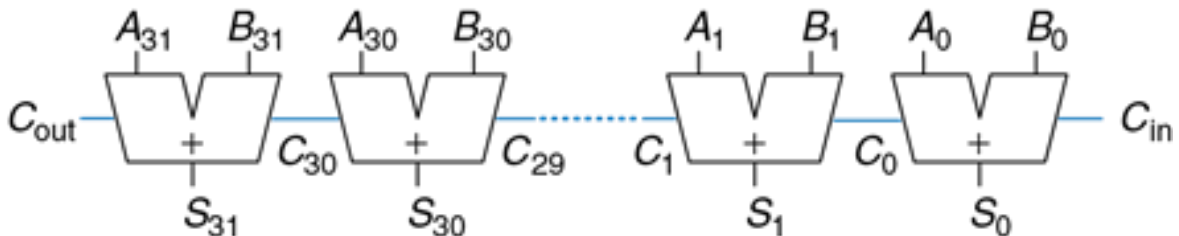


Рис. 4 32-розрядний суматор

Така схема називається суматором з послідовним переносом (ripple-carry adder). При її проектуванні використовується принцип модульності і регулярності: модуль повного суматора багаторазово використовується для формування більшої системи. Такий акумулятор має недолік: його швидкість падає при збільшенні числа розрядів N .

Суматори з прискореним переносом

Головною причиною того, що великі суматори з послідовним переносом працюють повільно, є те, що сигнал перенесення повинен пройти через всі біти суматора.

Суттєве підвищення швидкодії досягається під час побудови багаторозрядних суматорів з використанням паралельного способу формування переносів. Для ілюстрації цього способу наведемо таблицю істинності однорозрядного повного суматора

q_{i-1}	A_i	B_i	S_i	q_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

На основі цієї таблиці запишемо рівняння для сигналів виходу суми і виходу переносу для i -го розряду:

$$S_i = q_i \oplus A_i \oplus B_i, \quad (1.1)$$

$$q_i = A_i B_i + q_{i-1} (A_i + B_i) = \alpha_i + q_{i-1} \beta_i, \quad (1.2)$$

де $\alpha_i = A_i B_i$, $\beta_i = A_i + B_i$.

Використовуючи логічне рівняння (1.2), можна записати:

$$q_1 = \alpha_1 + q_0 \beta_1,$$

$$q_2 = \alpha_2 + q_1 \beta_2 = \alpha_2 + \alpha_1 \beta_2 + q_0 \beta_1 \beta_2,$$

$$q_3 = \alpha_3 + q_2 \beta_3 = \alpha_3 + \alpha_2 \beta_3 + \alpha_1 \beta_2 \beta_3 + q_0 \beta_1 \beta_2 \beta_3, \quad (1.3)$$

$$q_4 = \alpha_4 + q_3 \beta_4 = \alpha_4 + \alpha_3 \beta_4 + \alpha_2 \beta_3 \beta_4 + \alpha_1 \beta_2 \beta_3 \beta_4 + q_0 \beta_1 \beta_2 \beta_3 \beta_4,$$

На рис. 5 подано схему паралельного чотирирозрядного суматора з паралельним переносом, у частині, що забезпечує формування цих переносів, побудована у відповідності до логічних рівнянь (1.3).

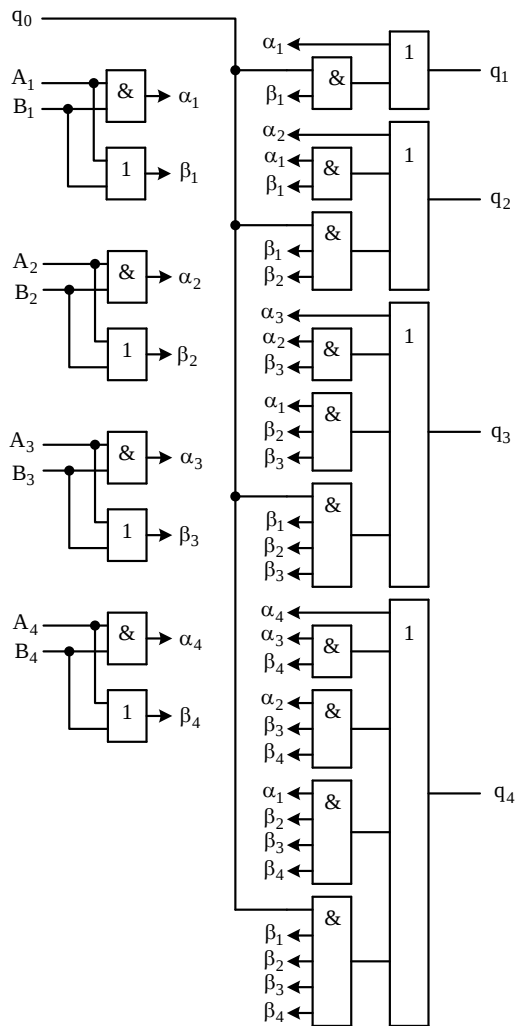


Рис. 5

У схемі немає ланцюга нагромадження затримок поширення сигналів переносів, за рахунок чого досягається істотне підвищення швидкодії пристрою. Однак під час збільшення кількості розрядів доданків стрімко зростатиме складність суматора.

На рис. 6 зображено структурну схему паралельного багаторозрядного суматора з паралельно-послідовним переносом. Такий суматор є компромісним варіантом відносно двох попередніх.

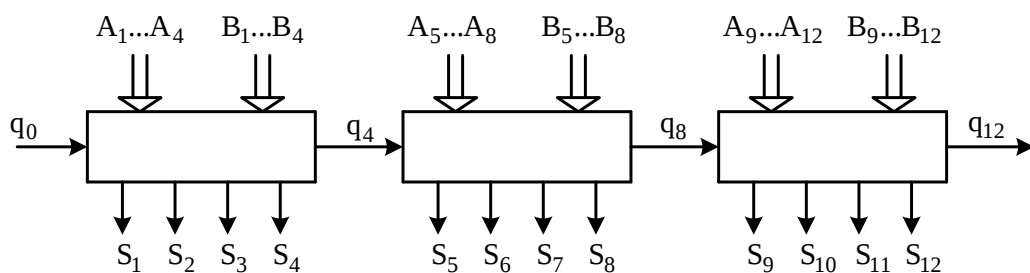


Рис. 6

У наведеній схемі дванадцятирозрядний суматор розділений на три чотирирозрядні блоки, кожен з яких побудований за принципом суматора з паралельним переносом, а між блоками реалізований послідовний принцип поширення переносу. Такий спосіб побудови суматорів дає змогу знайти компроміс між складністю їхньої побудови і швидкодією.

Віднімання

Суматори можуть складати позитивні і негативні числа, використовуючи представлення числа в додатковому коді. Віднімання проводиться майже так само просто: змінюється знак другого числа, потім числа складаються. Зміна знака числа в додатковому коді проводиться шляхом інверсії бітів і додавання 1.

Для обчислення $Y = A - B$ спочатку створюється додатковий код числа B : інвертуються розряди B і додається 1; $-B = B^- + 1$. Отримане значення складається з A . Ця сума може бути отримана одним суматором з розповсюджуваним переносом шляхом складання $A + B^-$ при $C_{in} = 1$. На Рис. 6 показано умовне позначення пристрою віднімання і базова апаратна реалізація для обчислення $Y = A - B$.

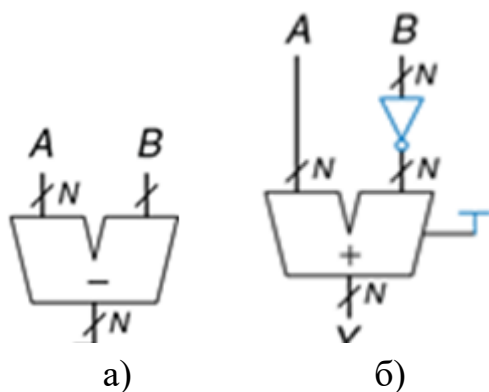


Рис. 6 Пристрій віднімання: а – умовне позначення, б – реалізація

2. Компаратори

Компаратори визначають, чи є два двійкових числа рівними або одне з них більше / менше іншого. Компаратор порівнює два N -розрядних двійкових числа A і B . Існує 2 типу компараторів.

Компаратор *рівності* видає один вихідний сигнал, показуючи, чи рівні A і B ($A = B$). Компаратор *величини* видає один і більше вихідних сигналів, показуючи відношення величин A і B .

Компаратор рівності має просту апаратну реалізацію. На Рис. 7 показано позначення і реалізація 4-розрядного компаратора рівності. Перш за все, за

допомогою логічних елементів XNOR, він перевіряє, чи є відповідні розряди A і B рівними. Значення будуть рівними, якщо всі відповідні розряди рівні.

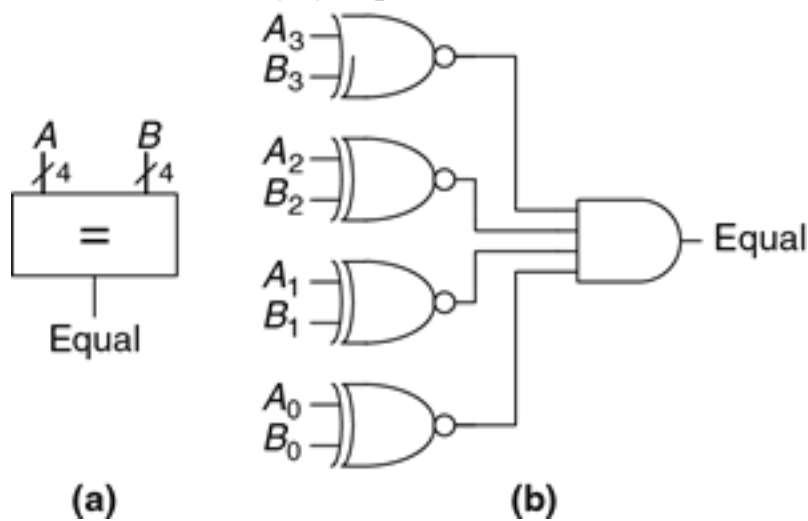


Рис. 7 4-разрядний компаратор рівності: (a) умовне позначення, (b) реалізація

Як показано на Рис. 8, компаратор величини обчислює $A-B$ і аналізує знак (найстарший розряд) результату. Якщо результат негативний (найстарший розряд = 1), то A менше B . В іншому випадку A більше або дорівнює B .



Рис. 8 N-розрядний компаратор величини

3. Арифметично-логічний пристрій

Арифметико-логічний пристрій (АЛП, Arithmetic / Logical Unit (ALU)) об'єднує різні арифметичні і логічні операції в одному вузлі. Наприклад, типове АЛП може виконувати додавання, віднімання, порівняння величин, операції «І» та «АБО». АЛП входить в ядро більшості комп'ютерних систем.

На Рис. 9 зображено умовне позначення N-розрядного АЛП з N-розрядними входами і виходами. В АЛП надходить керуючий сигнал F, який визначає, яку функцію потрібно виконати. Зазвичай сигнали управління показують блакитним кольором, щоб відрізнити їх від сигналів даних. У Табл. 1

перераховані типові функції, які виконує АЛП. Функція SLT використовується для порівняння за значенням.

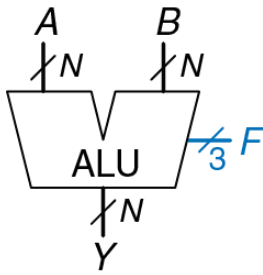


Рис.9 Умовне позначення АЛП

Табл.1 Операції АЛП

$F_{2:0}$	Function
000	A AND B
001	A OR B
010	A + B
011	not used
100	A AND $\bar{B}$
101	A OR $\bar{B}$
110	A - B
111	SLT

На Рис. 10 показана реалізація вузла АЛП. Він складається з N-бітного суматора, N двовходових логічних елементів І і двовходових логічних елементів АБО. Також він містить інвертори і мультиплексор для інверсії бітів B, коли керуючий сигнал F2 активний. Мультиплексор з організацією 4: 1 вибирає потрібну функцію виходячи з сигналів управління F1: 0.

Точніше кажучи, арифметичні і логічні блоки АЛП оперують з A і BV. BV рівне B або B^- , в залежності від F2. Якщо F1: 0 = 00, то вихідний мультиплексор вибирає операцію A AND BV. Якщо F1: 0 = 01, то АЛУ обчислює A OR BV. Якщо F1: 0 = 10, то АЛУ виконає додавання чи віднімання. Зауважте, що F2 також є входом переносу суматора. При використанні додаткового коду $B^- + 1 = -B$. Якщо F2 = 0, то АЛУ обчислює A + B, якщо F2 = 1, то буде обчислена різниця $A + B^- + 1 = A - B$.

Коли F2: 0 = 111 АЛП виконує операцію SLT (set if less than - встановити, якщо менше, ніж). Коли $A < B$, Y = 1. В іншому випадку Y = 0. Таким чином, Y встановлюється в 1, якщо A менше B.

Операція SLT виконується шляхом обчислення $S = A - B$. Якщо S негативне (тобто встановлений знаковий біт), то A менше B. Модуль доповнення нулями створює N-розрядний вихідний сигнал, об'єднуючи однобітний вхід з

нулем в найстарших розрядах. Біт знака (розряд N-1) змінної S буде входом для модуля установки нуля.

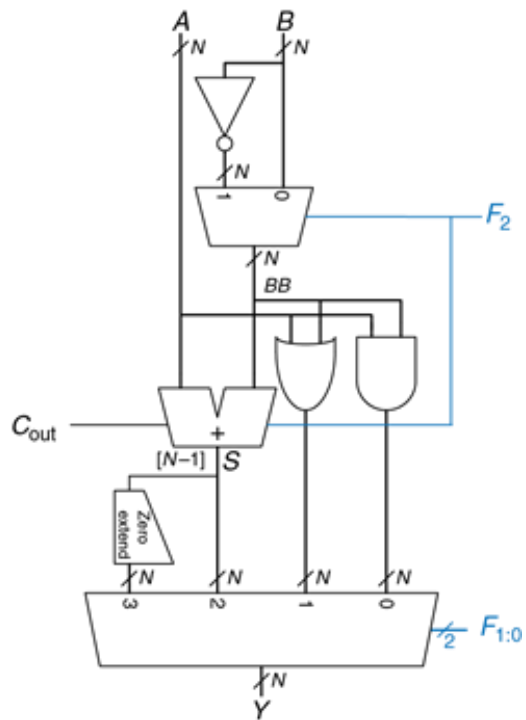


Рис. 10 N-розрядне АЛП