

Львівський державний університет безпеки життєдіяльності

Логічні елементи

Методичні вказівки

до лабораторної роботи
з дисципліни «Комп'ютерна схемотехніка та архітектура комп'ютерів»
для курсантів (студентів) 2-го курсу спеціальності
«Комп'ютерні науки»

Тема. Логічні елементи.

Мета роботи: Дослідження роботи логічних елементів " OR, NOR, AND, NAND, EOR" .

Теоретичні відомості

Логічний елемент АБО (OR).

Логічну функцію АБО (диз'юнкцію) реалізує логічний елемент АБО, схема якого виконується на основі ключів з двома або більше входами й одним виходом. Принцип роботи такої схеми полягає в тому, що вихідний сигнал y дорівнює логічній 1, якщо хоча б один з вхідних сигналів (або декілька сигналів) x_i дорівнює 1, в іншому випадку на виході логічний 0.

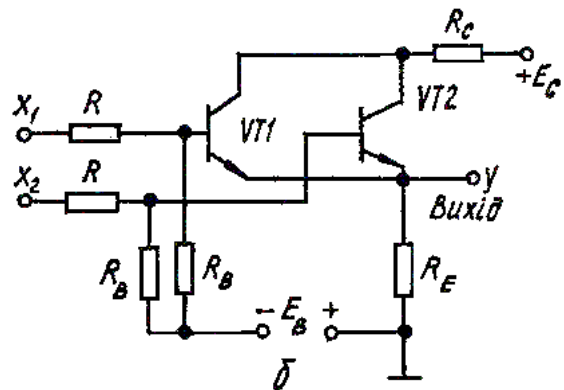
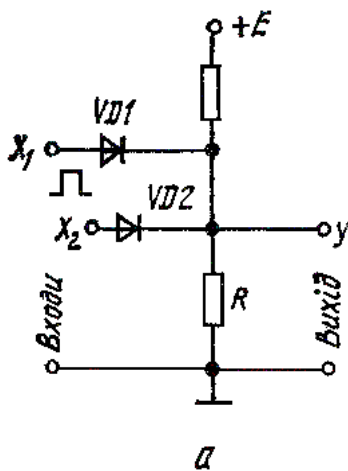


Рис. 1.

На рис. 1, а показана найпростіша схема логічного елемента АБО на два входи з двома діодними ключами VD1 та VD2.

Часто інтегральні схеми елементів АБО виготовляють на транзисторах. Розглянемо роботу транзисторної схеми АБО на два входи (ТЛ) з паралельним ввімкненням транзисторів VT1 та VT2 на загальне емітерне навантаження (рис. 1, б).

У початковому стані обидва транзистори закриті негативним зміщенням на бази від джерела E_B . Оскільки емітерний повторювач (транзистори VT1 та VT2 ввімкнені за схемою із 3К) не підсилює напругу й не повертає фази вхідного сигналу, після подачі до будь-якого зі входів x_i позитивного потенціалу (логічної 1) відповідний транзистор відкривається, і вихід y набуває такого самого потенціалу (логічна 1) того самого рівня.

Часові діаграми напруг на входах x та виході y схеми АБО, а також таблиця істинності показані відповідно на рис.2.

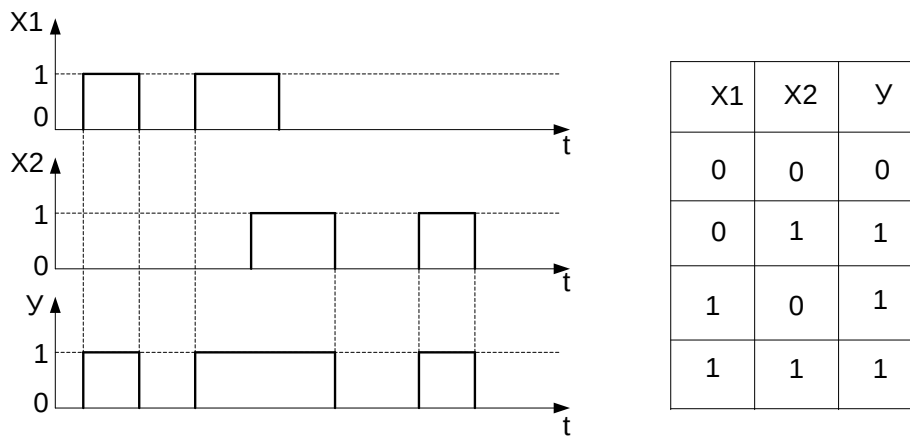


Рис.2

Логічний елемент І (AND).

Логічна схема на основі ключів з двома або більше входами й одним виходом виконує операцію логічного множення (кон'юнкцію), якщо сигнал зі значенням 1 з'являється на виході лише тоді, коли на всі входи одночасно подають сигнали логічної 1; у противному разі (навіть за наявності на входах одного 0) вихідний сигнал відсутній (дорівнює логічному 0). Часові діаграми й таблиця істинності двовходового елемента І показані на рис. 3.

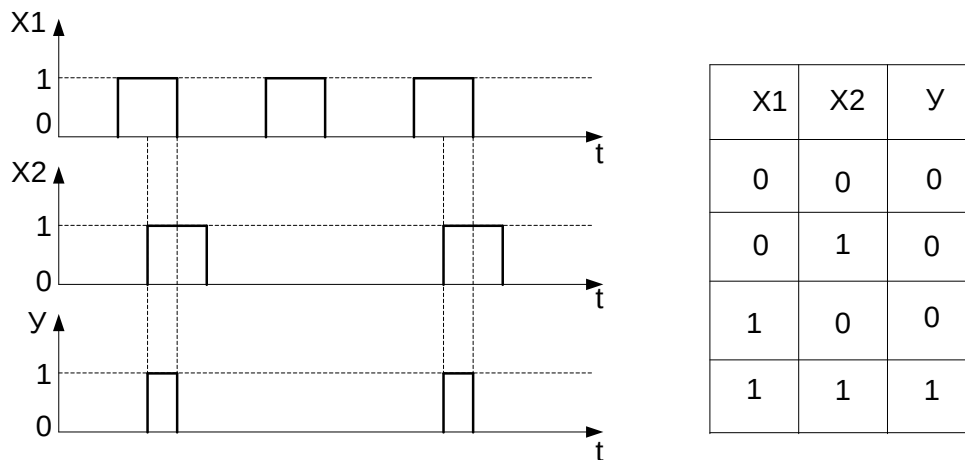


Рис.3

Інтегральну логічну схему І звичайно виконують на діодах. Для компенсації деякого послаблення сигналу або розв'язки з навантаженням на виході такої схеми часто вмикають транзистор (ДТЛ). Схема логічного елемента І на m входів показана на рис. 4. Діодний логічний елемент І являє собою послідовний діодний ключ з m входами.

Якщо на всіх входах схеми низький потенціал (логічний 0), то всі діоди відкриті. При цьому через резистори R_1 , R_2 та діоди протікають струми від джерела живлення E_C , замикаючись через входи джерел вхідних сигналів. Оскільки сумарний опір $R_1 + R_2$ набагато більший за опір діодів, зміщених у

прямому напрямі, напруга на виході діодів (вивід бази транзистора), а також на виході транзистора (вивід емітера) близька до нуля (логічний 0).

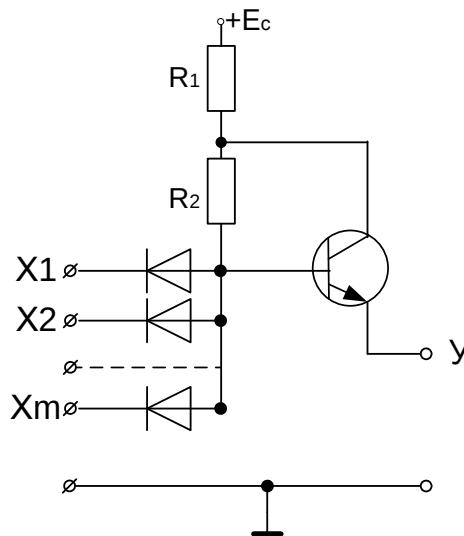


Рис.4

Після надходження до одного зі входів високого потенціалу $U > E_c$ (логічна 1) відповідний діод закривається. Однак інші діоди відкриті, а тому на виході схеми зберігається нульовий потенціал (діоди ввімкнені паралельно). Коли на всіх входах з'явиться напруга логічної 1, всі діоди закриваються, струми діодів через опір $R_1 + R_2$ дорівнюють нулю, й напруга на виході діодів (отже, на виході схеми) стрибком досягає значення, що дорівнює $+E_c$ (логічна 1).

Якщо логічний елемент 1 має кількість входів більшу за кількість вхідних сигналів, то невикористані входи необхідно з'єднати з «+» джерела живлення. Діоди цих входів будуть завжди в закритому стані, що зменшує ймовірність проходження завад на виході схеми і від наведень.

Логічний елемент І–НІ (NAND).

Цей логічний елемент виконує функцію негативного логічного добутку вхідних сигналів. Це означає, що на виході логічного елемента І–НІ сигнал відсутній (логічний 0) лише тоді, коли сигнали одночасно надходять до всіх входів. В інших випадках на виході є сигнал, що відповідає логічній 1. Часові діаграми й таблиця істинності для двовходового логічного елемента І–НІ показані на рис. 5.

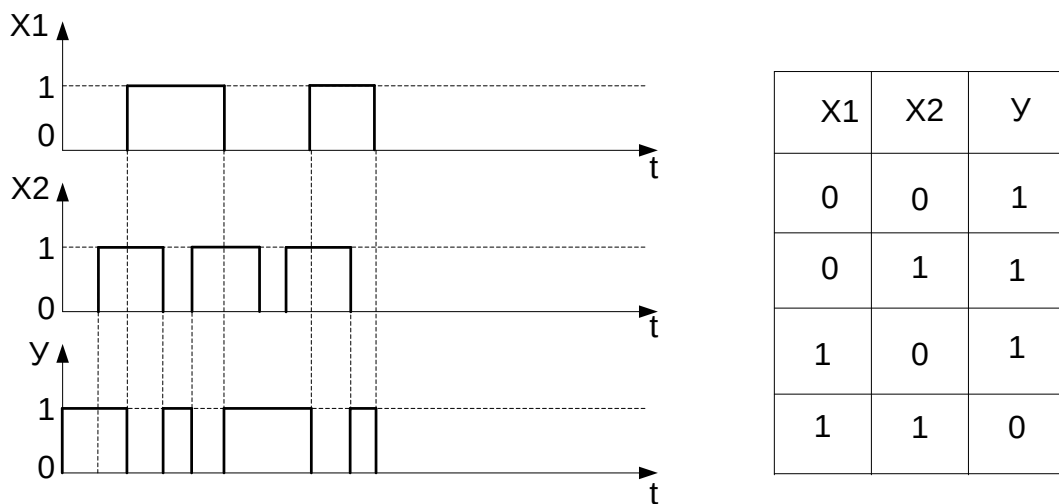


Рис.5

Інтегральні логічні схеми І–НІ виконують за типами ДТЛ (рис.6, а) та ТТЛ (рис. 6, б).

У першій схемі з трьома входами й розширенням по І (мікросхема К109ЛБ1А) операцію І здійснюють діодна частина (діоди VD1–VD3) з резисторами R1,R2 та транзистор VT1 (повний аналог мікросхеми на рис. 5), Підсилювальний каскад (інвертор на транзисторі VT2) здійснює операцію НІ. Діод VD5, що зв'язує діодну частину з інвертором, служить для надійного закривання транзистора VT2, потенціал бази якого нижчий за потенціал точки А на величину прямого спаду напруги на діоді.

Якщо до всіх входів надходять низькі рівні напруг (логічні 0), то діоди VD1– VD3 відкриті й забезпечують потенціал точки А близький до нуля. Транзистор VT2 надійно закритий діодом VD5, і напруга на колекторі (на виході схеми) дорівнює $+E_{C2}$ (логічна 1). Логічна 1 на виході зберігатиметься доти, поки до всіх входів не надійдуть сигнали високого рівня (логічна 1). В цьому випадку діоди VD1– VD3 закриються, потенціал точки А збільшиться до $+E_{C1}$, а транзистор VT2 ввійде в режим насичення з низькою напругою на колекторі (логічний 0). Це відповідає логічній операції І–НІ.

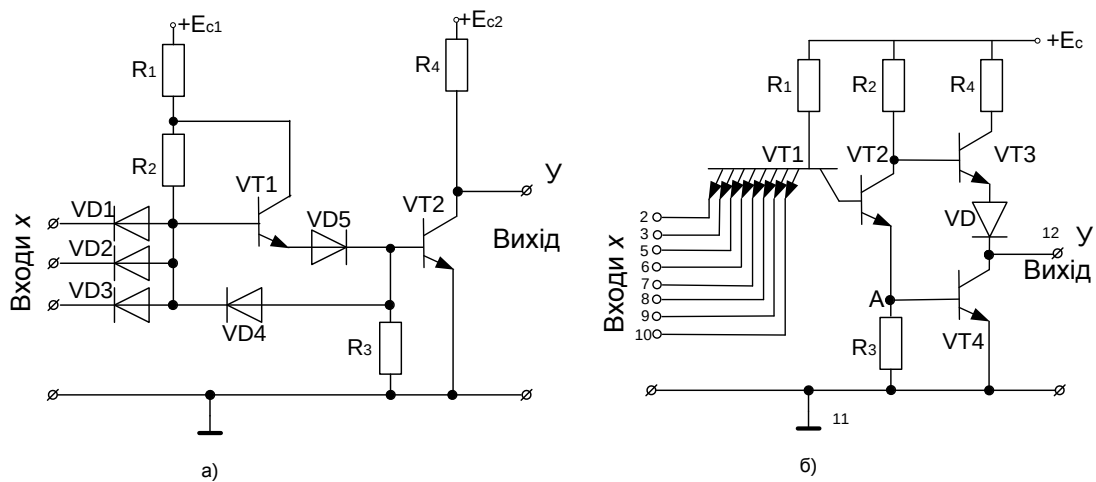


Рис.6

Логічний елемент АБО–НІ (NOR).

Логічна схема на основі ключів з двома або більше входами й одним виходом виконує функцію заперечення логічного додавання, якщо вхідним сигналам, що дорівнюють одиниці, відповідає логічний 0 на виході, а за нульових сигналів на всіх входах вихідний сигнал 1. Логічний елемент АБО–НІ працює як логічний елемент НІ з декількома входами. Часові діаграми і таблиця істинності схеми АБО–НІ на два входи зображена на рис. 7, а, б.

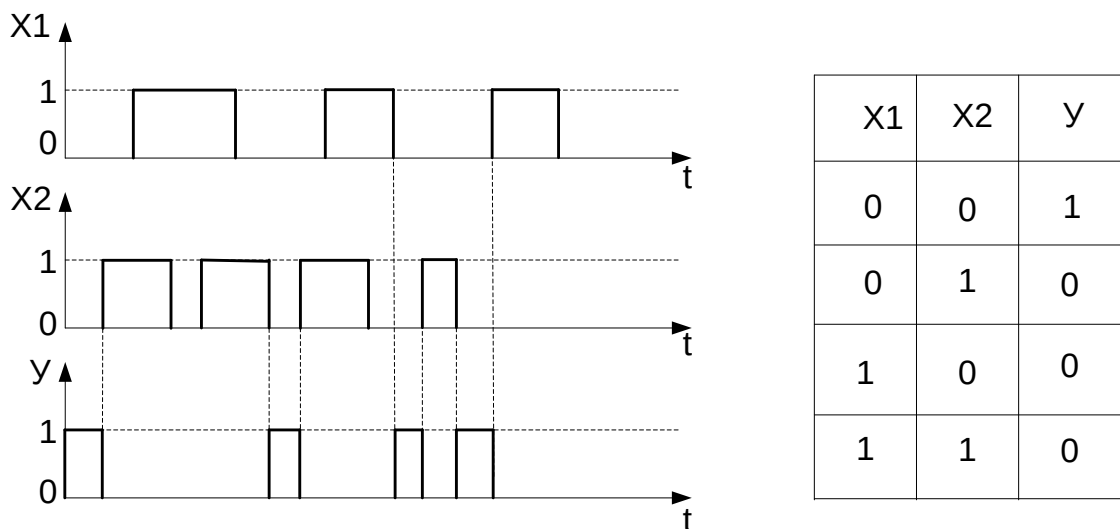


Рис.7

Схема логічного елемента АБО–НІ на транзисторах на чотири входи, що виконана за типом ТЛ, показана на рис. 8.

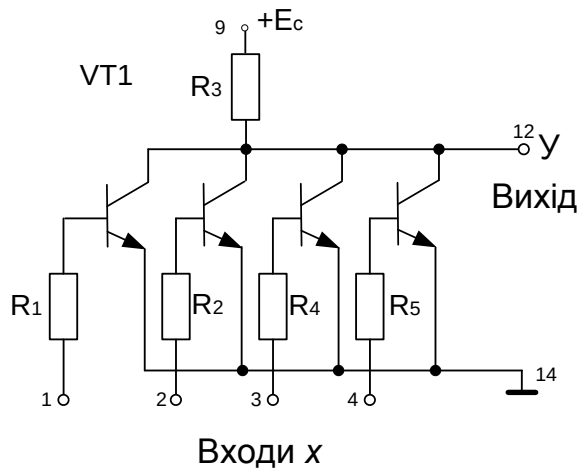


Рис.8

За низького рівня напруги на входах (логічний 0) транзистори закриті й на виході логічна 1 ($U_{CE\text{відс}} \approx +E_C$). Якщо хоча б до одного із входів прикласти високий рівень напруги, що відповідає логічній одиниці, то відповідний до цього входу транзистор увійде в режим насичення, й потенціал колекторів всіх транзисторів (вихід схеми) зменшиться майже до 0 (логічний 0). Таким чином, реалізується логічна операція АБО–НІ.

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент OR2.
4. Викликати на робоче поле прилад "Логічний Перетворювач" (Logic Converter).
5. З'єднати вибраний логічний компонент з приладом "Логічний Перетворювач", як показано на рис.1. Провести дослідження логічного елементу за допомогою "Логічного Перетворювача"

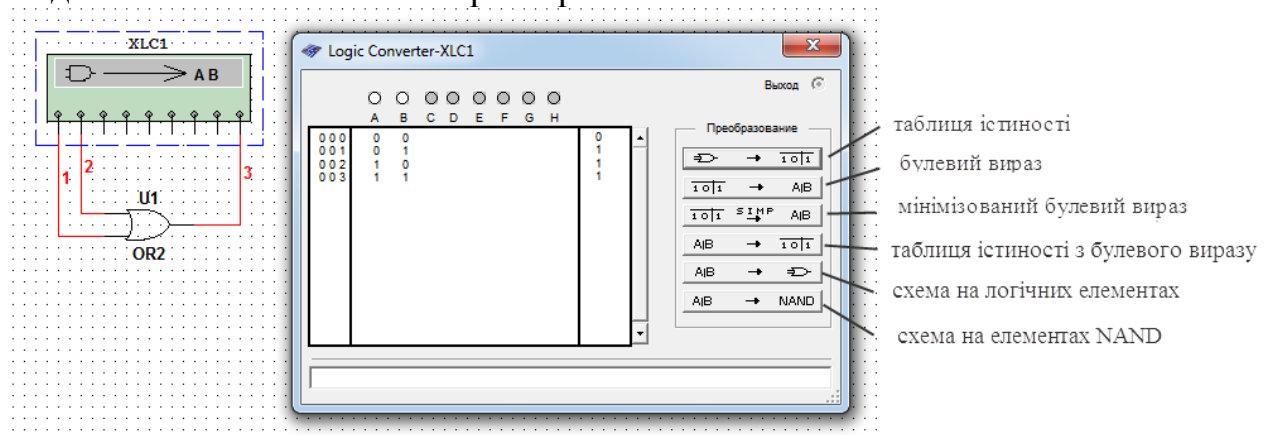


Рис.1

6. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент

NOR3. Виконайте пункт 5 для даного елемента (рис. 2)

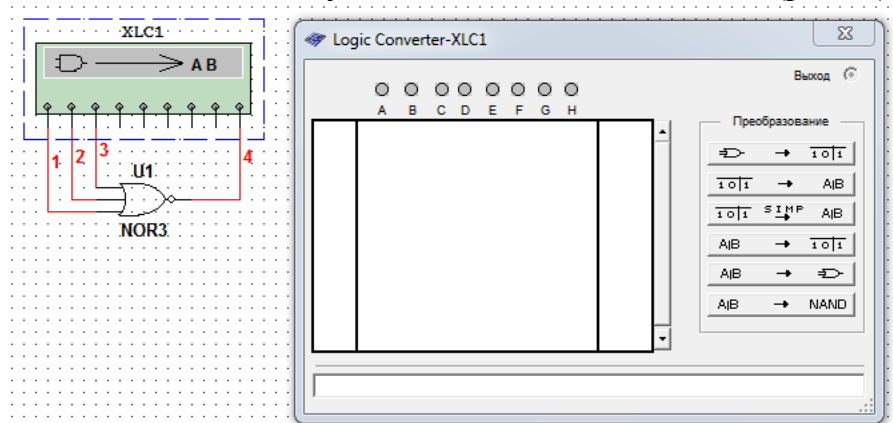


Рис.2

6. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент NOR3. Виконайте пункт 5 для даного елемента (рис. 2)

7. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент AND3. Виконайте пункт 5 для даного елемента (рис. 3)

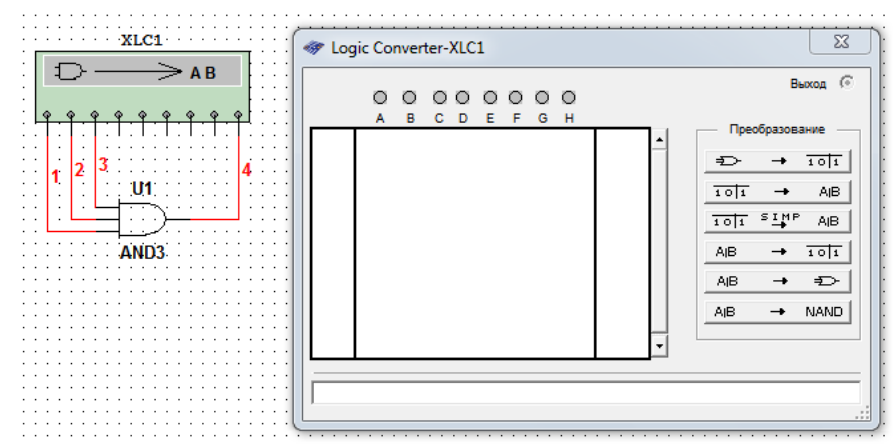


Рис.3

7. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент NAND3. Виконайте пункт 5 для даного елемента (рис. 4)

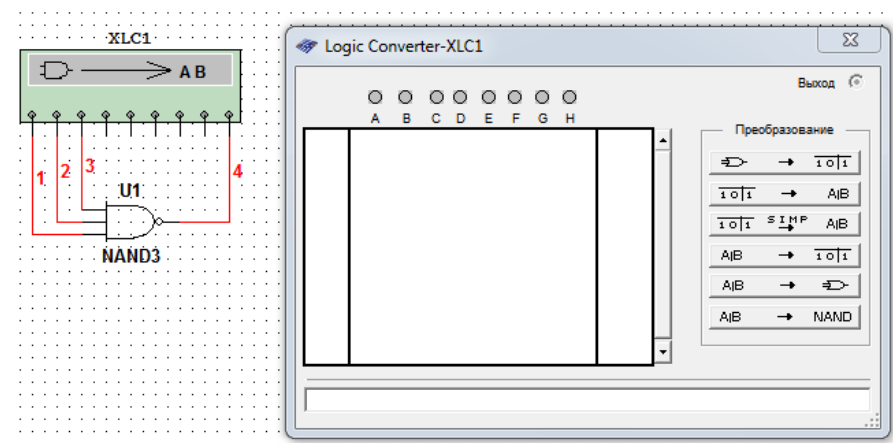


Рис.4

8. В панелі компонентів в розділі цифрові мікросхеми оберіть елемент EOR3. Виконайте пункт 5 для даного елемента (рис. 5)

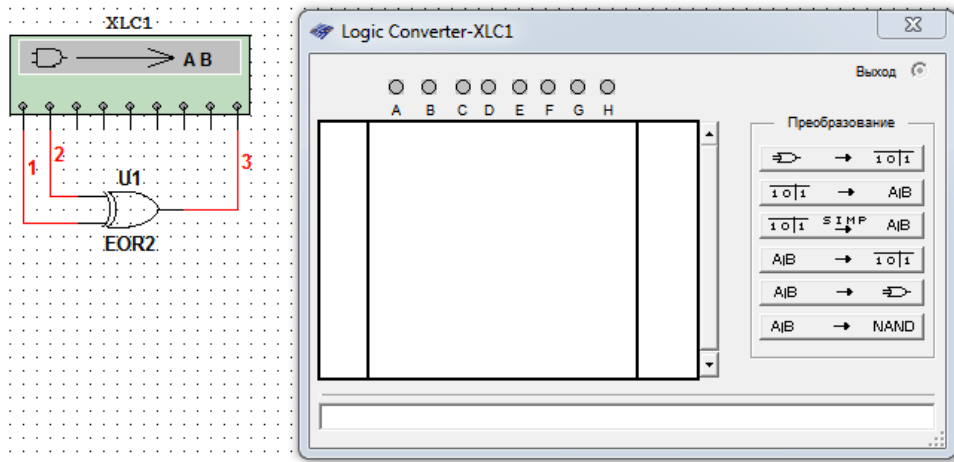


Рис.5

7. Результати досліджень відобразити у звіті. По отриманих результатах зробіть висновки

Вимоги до оформлення звіту лабораторної роботи.

Звіт виконується на листах формату A4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схему дослідження кожного цифрового елемента;
- 3) навести отримані таблиці істинності;
- 4) отримані результати досліджень;
- 5) висновки, що базуються на аналізі отриманих результатів.

Завдання для самоконтролю

1. Сформулювати аксіоми та закони алгебри логіки.
2. Дати означення теореми де-Моргана.
3. У чому полягає синтез логічних схем?
4. У чому полягає мінімізація логічних схем?
5. Як побудувати таблицю істинності логічного компоненту або схеми?
6. Якими параметрами визначається кількість входів у цифрових елементів?