

Лекція

з дисципліни: «Комп'ютерна схемотехніка та архітектура комп'ютерів»

на тему: «Функціональні вузли накопичувального типу»

ПЛАН ЛЕКЦІЇ

1. Регістри.
2. Лічильники.

ЛІТЕРАТУРА

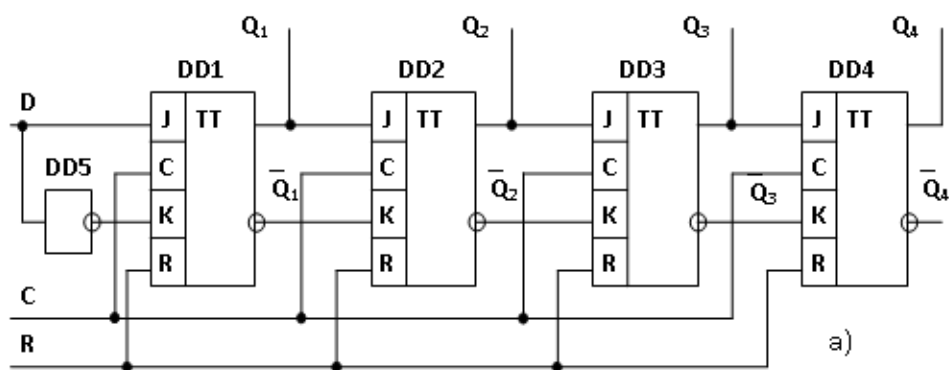
1. Сенько В.І. Електроніка і мікропроцесорна техніка: Навчальний посібник / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукин В.Є., Руденский А.А. – К. : Аграрна освіта, 2015. – 676 с.
2. Рябенський В. М. Цифрова схемотехніка / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів: “Новий Світ-2000”, 2020. — 736 с.
3. Девід М. Харріс і Сара Л. Харріс. Цифрова схемотехніка та архітектура комп'ютера / пер. з англ. 2-е вид. - Morgan Kaufman, 2013. - 1621 с.

1. Регістри.

Регістрами називаються послідовнісні пристрої, що призначені для приймання, запам'ятовування, перетворення та передавання цифрової інформації.

Залежно від введення інформації в регістр і зчитування інформації з нього регістри поділяються на:

- з послідовним входом і виходом (послідовні регістри, регістри зсуву);
- з паралельним входом і виходом (паралельні регістри, регістри пам'яті, рис.2);
- комбіновані регістри, що поєднують властивості послідовних і паралельних регістрів.



С	Q_1	Q_2	Q_3	Q_4
1	D1	-	-	-
2	D2	D1	-	-
3	D3	D2	D1	-
4	D4	D3	D2	D1

Рис. 1. Принципова схема зсувного регістра – а, таблиця функціонування регістра – б

Принципова схема чотирирозрядного регістра, змонтованого на JK-тригерах, наведена на рис. 1,а, а таблиця функціонування на рис. 1,б. Якщо надіслати на тактовий вхід С логічну одиницю, а на вхід $J=D1$ і $K=\bar{D}1$ і якщо змінити стан логічної одиниці на логічний нуль, то на виходах першого тригера з'являться відповідно стани $Q1$ та $\bar{Q}1$. Як наслідок після першого імпульсу $Q1=D1$. Тепер подамо на вхід другу інформацію D2. Після наступного тактового імпульсу тригер DD2 сприймає попередній вихідний код DD1, а DD1 – нову вхідну інформацію, тобто $Q2=D1$ і $Q1=D2$. Після четвертого тактового імпульсу

$Q_4=D_1$, $Q_3=D_2$, $Q_2=D_3$ і $Q_1=D_4$. Зрозуміло, що кожний тактовий сигнал інформації призводить до зсуву регістра на один розряд та вводу нової інформації.

Регістри пам'яті

N-розрядний регістр - набір з N тригерів із загальним тактовим сигналом. Таким чином, всі біти регістра оновлюються одночасно. Регістр є ключовим блоком при побудові більшості послідовних схем. На рис. 2 показана схема і позначення 4-розрядного регістра з входами $D_{3:0}$ і виходами $Q_{3:0}$. $D_{3:0}$ і $Q_{3:0}$ є 4-розрядними шинами.

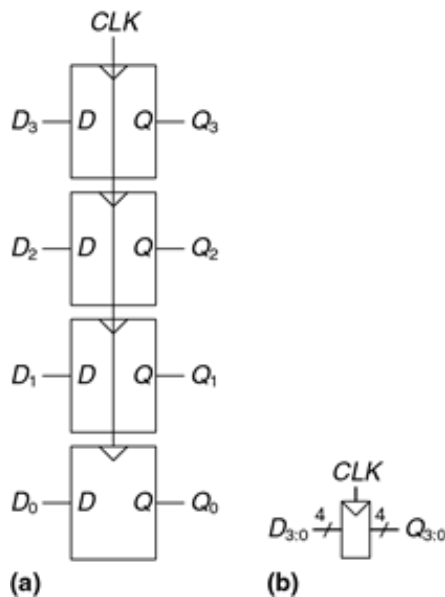


Рис.2. 4-разрядний регістр: (а) схема, (b) позначення

Схему регістра пам'яті, таблицю, що пояснює його роботу, і умовне позначення наведено на рис. 3.

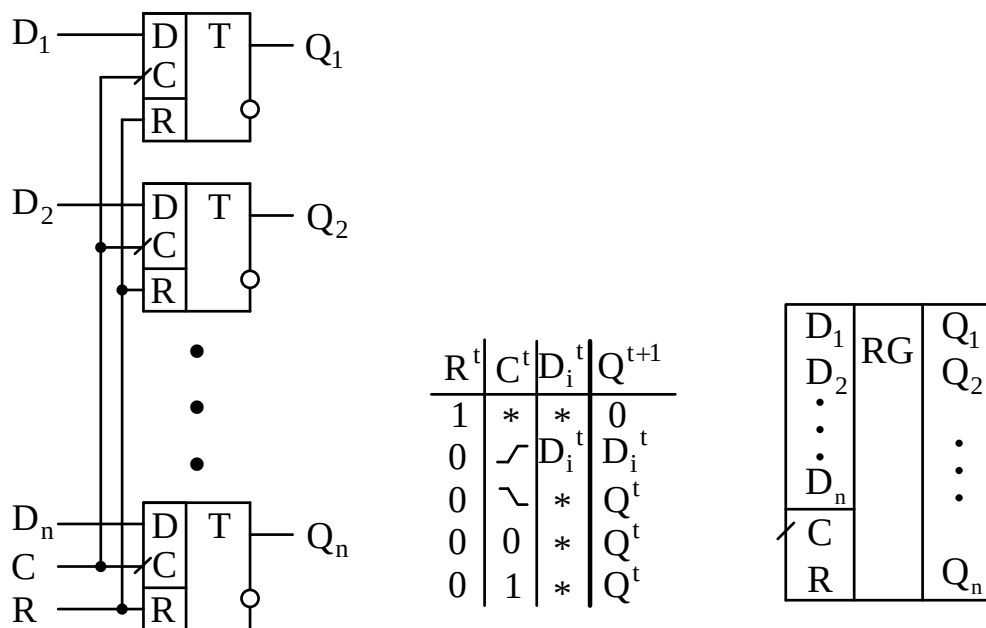


Рис. 3.

2. Лічильники.

Послідовнісні цифрові пристрої, які забезпечують зберігання інформаційних слів та виконання над ними мікрооперацій рахунку, називаються лічильником. Мікрооперація рахування зводиться до того, що значення числа x змінюється на ± 1 .

Основним параметром лічильника є модуль лічильника, який визначає кількість одиничних сигналів, які можуть бути пораховані лічильником.

Лічильник, що містить n двійкових розрядів, може знаходитись у станах $0, 1, 2, \dots, 2^n - 1$. Із надходженням на вхід підсумовуючого лічильника 2^n -ої одиниці він переходить із стану $2^n - 1$ в стан логічного нуля. Таким чином n -розрядний підсумовуючий лічильник має модуль рахунку $k_p \leq 2^n$.

Лічильники можна кваліфікувати за декількома ознаками. У залежності від напрямку рахунку розрізняють підсумовуючі (прямий рахунок), віднімаючі (зворотний рахунок) та реверсивні (прямий та зворотний рахунки). За способом реалізації схеми перенесення розрізняють лічильники з послідовним, паралельним та паралельно-послідовним перенесенням. За модулем рахунку розрізняють лічильники двійкові, десяткові, двійково-десяткові з довільним постійним модулем та змінним модулем. У залежності від наявності синхронізації, розрізняють синхронні та асинхронні.

Синтез лічильників зводиться до визначення оптимальної, в певному розумінні, структури і побудови його принципової схеми. Під оптимальною розуміють структуру лічильника, що містить мінімальну кількість тригерів і зв'язків між ними, за якої забезпечується виконання лічильником заданих функцій із заданими параметрами.

На рис. 4,а наведена схема трирозрядного лічильника який працює як підсумовуючий. Він здійснює рахунок імпульсів від 0 до 7. Число рахунку може бути збільшене у випадку підключення до виходу лічильника додаткових розрядів. Перший тригер лічильника створює молодший розряд сигнал Q1, який надходить на вхід другого розряду, вихідна напруга якого подається на вхід третього і т.д.

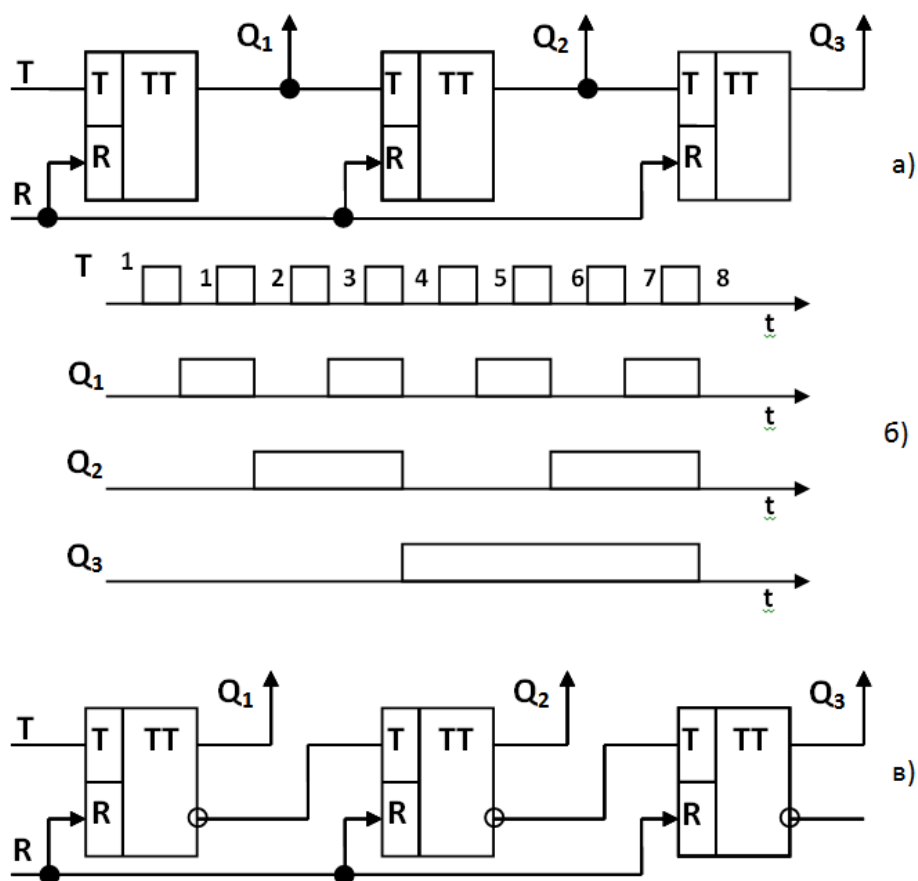


Рис.4. Принципова схема лічильника підсумовуючого – а, його часові діаграми – б та принципова схема віднімаючого лічильника – в.

У схемі поданий сигнал на вхід $R=1$ приводить всі тригери у початковий стан, тобто такий, коли $Q_1 = Q_2 = Q_3 = 0$. Зрізом першого вхідного сигналу (задній фронт імпульсу) перемикається тригер молодшого розряду лічильника (діаграма Q_1). Зрізом напруги Q_1 перемикається тригер другого розряду лічильника (діаграма Q_2). Зріз сигналу Q_2 викликає перемикання тригера третього розряду (діаграма Q_3).

Таблиця станів трирозрядного лічильника

№	2^2	2^1	2^0
<u>імпульсу</u>	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Частота повторення вихідного сигналу на виході Q_1 через одне значення, тобто 20, на виході Q_2 – через два значення, тобто 21 і т.д., тобто частота повторення вихідного сигналу в i -му розряді в 2^i рази менша від частоти повторення імпульсів T .

Аналогічно до підсумовуючого лічильника будується лічильник на віднімання, схема якого наведена на рис. 4,в. На вхід тригера i -го розряду подається сигнал з інверсного виходу попереднього розряду, тобто $\neg Q_{i-1}$. Лічильний тригер перемикається при зрізі імпульсу на вході, це означає, що перемикання тригера i -го розряду буде проходити при зрізі імпульсу $\neg Q_{i-1}$, тобто при фронті Q_{i-1} (момент наростання Q_{i-1} від 0 до 1). Робота лічильника на віднімання, яку потрібно читати знизу до верху, наведена в табл. 6.34. На початку роботи тригери встановлені у стан $Q_1 = Q_2 = Q_3 = 1$. Стан розрядів лічильника являє собою двійкове записування лінійно спадаючих чисел. Вищеописана робота лічильників характерна для асинхронних лічильників, коли імпульси рахунку надходять на тактовий вхід лише першого тригера, а кожний із наступних тригерів керується вихідним сигналом попереднього. Це призводить до того, що сигнал на вхід останнього тригера приходить лише тоді, коли всі попередні тригери перемкнулись. Зміна кожного із вихідних сигналів від Q_1 до Q_n проходить із затримкою, яка дорівнює часові спрацювання тригера. У багаторозрядних послідовних лічильниках висока частота слідування імпульсів

рахунку, може призвести до того, що n-й тригер не встигне перемкнутись до приходу наступного імпульсу рахунку. Тому період слідування імпульсів рахунку при використанні вихідних кодів у процесі обчислень, повинен бути більший від часу поширення сигналу у ланцюгові.

Описані лічильники побудовані на послідовному сполученні Т-тригерів. Кожний наступний розряд лічильника перемикається наступним сигналом, який можна назвати сигналом перенесення. Сигнал для рахунку подається на вхід тригера наймолодшого розряду. Лічильники, побудовані таким чином, називаються лічильники з послідовним перенесенням.

Синхронні паралельні лічильники.

Такі лічильники, на відміну від послідовних, мають входи, на які подаються вхідні сигнали С на всі розряди. Для того, щоб у кожному такті не перемикались всі тригери, для керування процесом перемикання використовуються логічні схеми І, на які надходять сигнали з виходів попередніх розрядів (рис. 5). Для цієї схеми справедливі наступні співвідношення:

$$Q_2 = Q_1 C; Q_3 = Q_1 \cdot Q_2 C; Q_4 = Q_1 \cdot Q_2 \cdot Q_3 C.$$

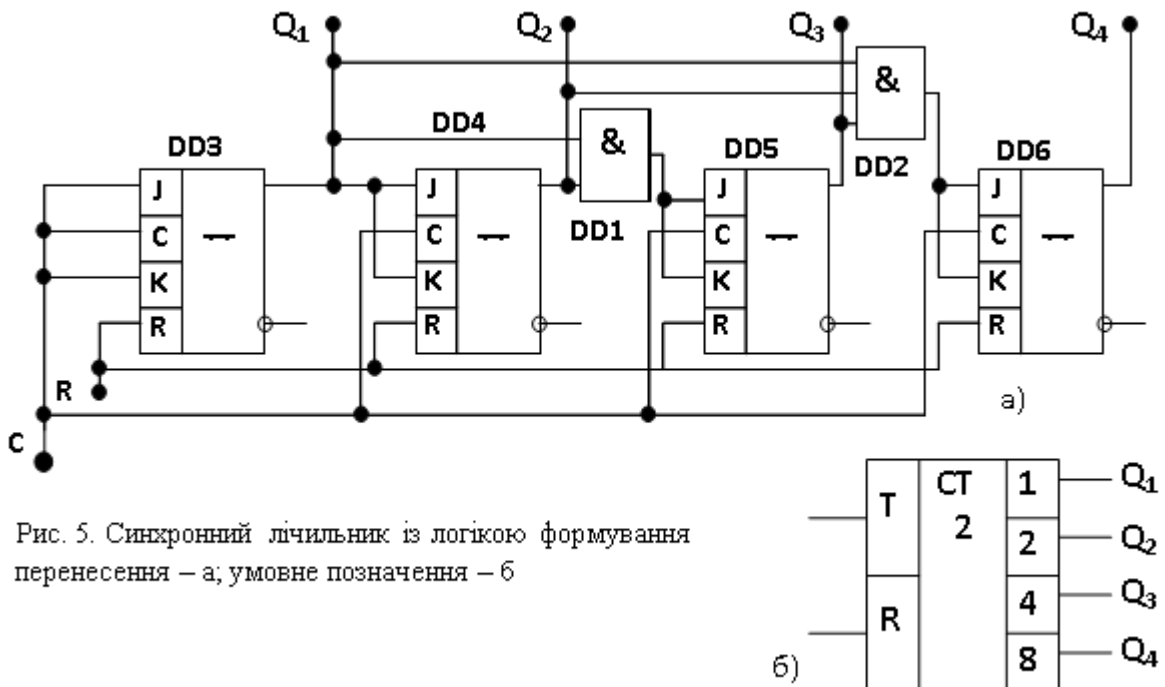


Рис. 5. Синхронний лічильник із логікою формування перенесення – а; умовне позначення – б