

Лекція

**з дисципліни: «Комп'ютерна схемотехніка та архітектура
комп'ютерів»**

на тему: «Схеми зсуву»

ПЛАН ЛЕКЦІЇ

1. Схеми зсуву.
2. Схеми множення та ділення.

ЛІТЕРАТУРА

1. Сенько В.І. Електроніка і мікропроцесорна техніка: Навчальний посібник / Сенько В.І., Лисенко В.П., Юрченко О.М., Лукин В.Є., Руденский А.А. – К. : Аграрна освіта, 2015. – 676 с.
2. Рябенський В. М. Цифрова схемотехніка / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів: “Новий Світ-2000”, 2020. — 736 с.
3. Девід М. Харріс і Сара Л. Харріс. Цифрова схемотехніка та архітектура комп'ютера / пер. з англ. 2-е вид. - Morgan Kaufman, 2013. - 1621 с.

1. Схеми зсуву і циклічного зсуву

Схеми зсуву і схеми циклічного зсуву переміщують біти і, отже, множать або ділять число на степінь 2. Відповідно до назви, схеми зсуву пересувають розряди двійкового числа вліво або вправо на певне число позицій. Існує кілька видів таких схем:

1. Логічні схеми зсуву зсувають число вліво (LSL) або вправо (LSR) і заповнюють порожні розряди нулями.

Наприклад, $11001 \text{ LSR } 2 = 00110$; $11001 \text{ LSL } 2 = 00100$

2. Арифметичні схеми зсуву діють так само, як і логічні, але при зсуві вправо вони заповнюють найбільш значущі розряди значенням знакового біта вихідного числа. Це необхідно при множенні і діленні чисел зі знаком. Арифметичний зсув вліво (ASL) працює так само, як і логічний (LSL).

Наприклад, $11001 \text{ ASR } 2 = 11110$; $11001 \text{ ASL } 2 = 00100$

3. Схеми циклічного зсуву зсувають число по колу так, що порожні місця заповнюються розрядами, які висунуті з іншого кінця.

Наприклад: $11001 \text{ ROR } 2 = 01110$; $11001 \text{ ROL } 2 = 00111$

N-розрядна схема зсуву може бути побудована з N мультиплексорів N: 1. Вхід зсувається на 0 - N-1 розрядів в залежності від значення $\log_2 N$ ліній вибору. На Рис. 1 показані умовне позначення і апаратна реалізація 4-розрядної схеми зсуву. Оператори $\ll$, $\gg$ і $\ggg$ зазвичай позначають зсув вліво, логічний зсув вправо і арифметичний зсув вправо відповідно. Залежно від значення 2-розрядної величини зсуву shamt1 : 0, на вихід Y надходить вхідний сигнал A, зсунутий на 0 - 3 розряди. Для всіх схем зсуву, якщо $\text{shamt1}: 0 = 00$, то $Y = A$.

Зсув вліво - це окремий випадок множення. Зсув вліво на N біт примножує число на 2^N . Наприклад, $000011_2 \ll 4 = 110000_2$ рівносильно $3_{10} \times 2^4 = 48_{10}$

Арифметичний зсув вправо - це спеціальний випадок ділення. Арифметичний зсув вправо на N біт ділить число на 2^N .

Наприклад, $11100_2 \ggg 2 = 11111_2$ рівносильно $-4_{10}/2^2 = -1_{10}$.

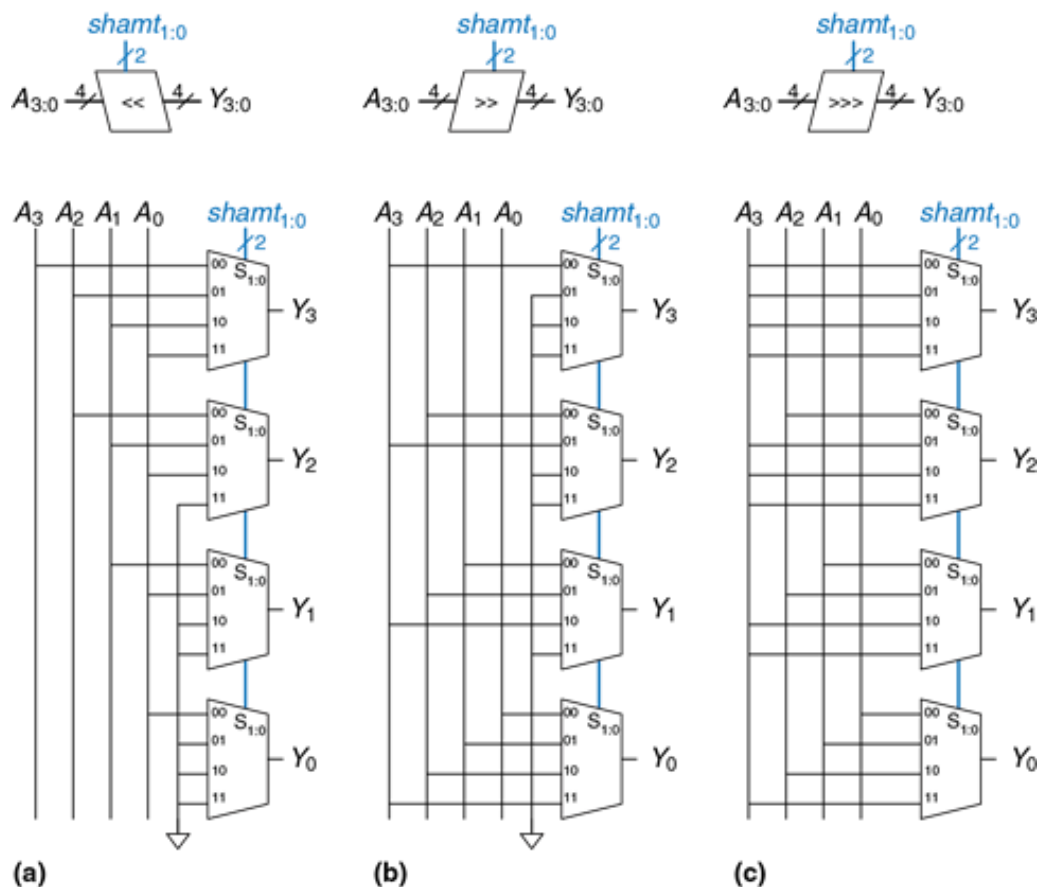


Рис. 1. 4-розрядні схеми зсуву: (а) зсув вліво, (б) логічний зсув вправо, (с) арифметичний зсув вправо

2. Схеми множення та ділення

Множення беззнакових двійкових чисел подібно множенню десяткових чисел, проте воно оперує тільки з одиницями і нулями. На Рис. 2 порівнюється множення двійкових і десяткових чисел.

$\begin{array}{r} 230 \\ \times 42 \\ \hline 460 \\ + 920 \\ \hline 9660 \end{array}$	multiplicand multiplier partial products result	$\begin{array}{r} 0101 \\ \times 0111 \\ \hline 0101 \\ 0101 \\ 0101 \\ + 0000 \\ \hline 0100011 \end{array}$
---	---	---

2 30 × 42 = 9660

(a)

5 × 7 = 35

(b)

Рис. 2 Множення а) десяткових, б) двійкових чисел

В обох випадках часткові добутки формуються шляхом множення окремих розрядів одного множника на інший. Зсунуті часткові добутки потім додаються, і ми отримуємо результат.

У загальному випадку, помножувач $N \times N$ перемножує два N -розрядних числа і утворює $2N$ -розрядний результат. Часткові добутки при двійковому множенні рівні або множнику, або нулю. Множення одного розряду двійкових чисел рівноцінно операції І, тому для формування часткових добутків використовуються логічні елементи І.

На Рис. 3 показані умовне позначення, функціональний опис і апаратна реалізація помножувача 4×4 . Помножувач отримує множники A і B і обчислює добуток P .

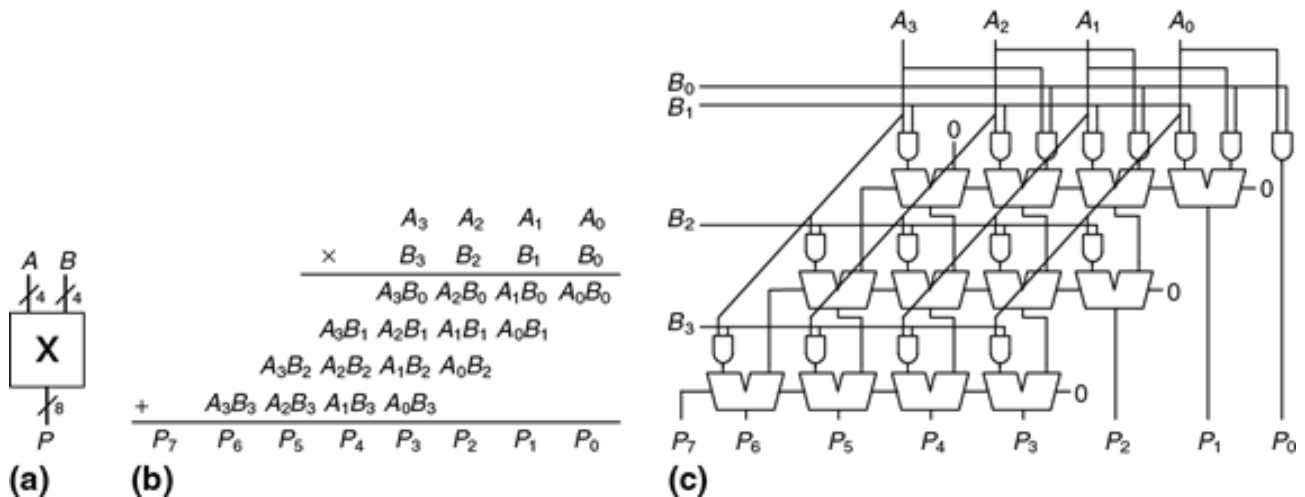


Рис. 3 Помножувач 4×4 : (а) умовне позначення, (б) функції, (с) реалізація

На Рис. 3 (б) показано, як формуються часткові добутки. Кожний частковий добуток рівний результату операції І, аргументами яких є окремі розряди множника (B_3, B_2, B_1 , або B_0) і всі розряди множника (A_3, A_2, A_1, A_0). Для N -розрядних операндів буде існувати N часткових добутків і $N-1$ каскадів однорозрядних суматорів. Наприклад, для помножувача 4×4 частковий добуток першого ряду - це $B_0 \text{ AND } (A_3, A_2, A_1, A_0)$. Цей частковий добуток додається до зсунутого другого часткового добутку $B_1 \text{ AND } (A_3, A_2, A_1, A_0)$. Наступні ряди логічних елементів І і суматорів формують і додають решту часткових добутків.

Ділення

Схема обчислює A / B і на вихід видає частку Q і залишок R . На вставці показані умовне позначення і схеми кожного блоку в матриці ділення. Сигнал N показує, чи є результат $R-B$ негативним. Це визначається по вихідному сигналу перенесення $Cout$ самого лівого блоку в ряду, який є знаком різниці.

Ділення - дуже повільна і дорога операція в апаратній реалізації, тому її слід використовувати якомога рідше.

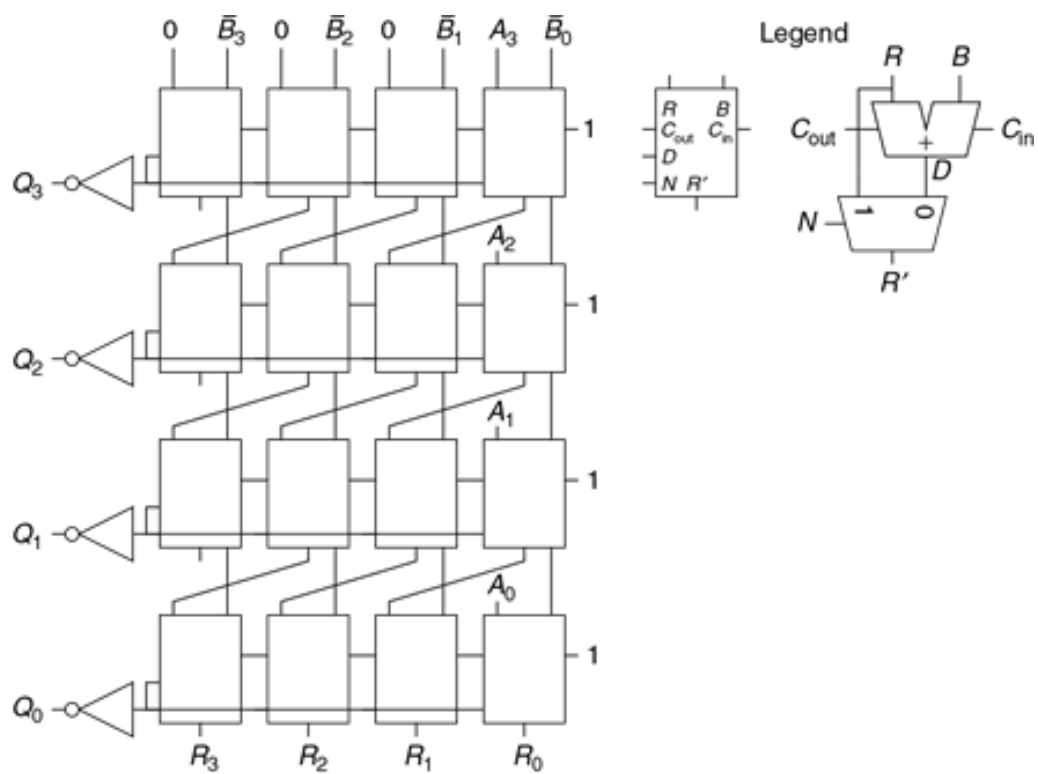


Рис. 4 Матриця ділення