

Лекція

з дисципліни: «Комп'ютерна схемотехніка та архітектура комп'ютерів»

на тему: «Матриці пам'яті.»

ПЛАН ЛЕКЦІЇ

1. Загальний огляд матриць пам'яті.
2. Динамічні ОЗП.
3. Статичні ОЗП.
4. Регістрові файли
5. Постійні запам'товуючі пристрої.

ЛІТЕРАТУРА

1. Рябенський В. М. Цифрова схемотехніка / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів: “Новий Світ-2000”, 2020. — 736 с.
2. Девід М. Харріс і Сара Л. Харріс. Цифрова схемотехніка та архітектура комп'ютера / пер. з англ. 2-е вид. - Morgan Kaufman, 2013. - 1621 с.
3. Мельник А.О. Персональні суперкомп'ютери: архітектура, проектування, застосування: монографія / А.О. Мельник, В.А. Мельник. – Львів: Видавництво Львівської політехніки, 2013. – 516 с.

1. Загальний огляд матриць пам'яті.

На Рис. 1 показано графічні позначення узагальненої матриці пам'яті. Пам'ять організована як двовимірна матриця запам'ятовуючих елементів. Вміст пам'яті записується і зчитується по рядках. Цей рядок вибирається адресою (Address). Записані або зчитані значення називаються даними (Data). Матриця з N -бітною адресою і M -бітними даними має 2^N рядків і M стовпців. Кожний рядок даних називається словом. Таким чином, матриця містить 2^N M -бітних слів.

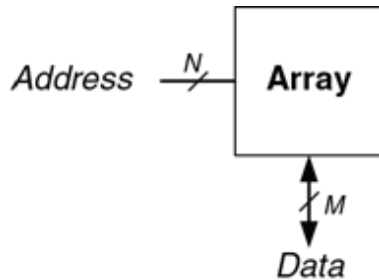


Рис. 1 Умовне позначення узагальненої матриці пам'яті

На Рис. 2 зображена матриця пам'яті, адреса якої складається з двох біт, а дані - з трьох. Два адресних біти вибирають один з чотирьох рядків (слів даних) матриці. Ширина кожного слова даних дорівнює трьом бітам. На Рис. 2 (b) наведено приклад можливого вмісту матриці пам'яті. Глибина матриці дорівнює кількості її рядків, а її ширина - кількості стовпців, яке також називається розміром слова. Розмір матриці дорівнює добутку кількості стовпців на кількість рядків.

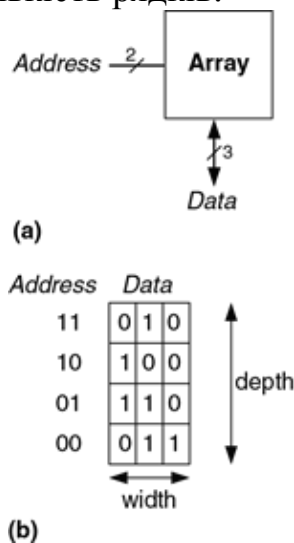


Рис. 2 Матриця пам'яті 4x3

Позначення матриці 1024-слів $\times$ 32-біт показано на Рис. 3. Загальний розмір цієї матриці дорівнює 32 кілобіта (Kb).

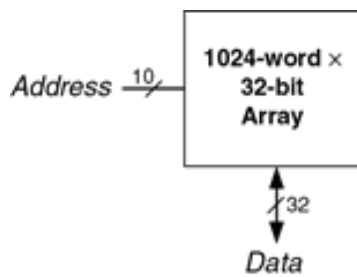


Рис. 3.

Запам'ятовуючі елементи

Матриці пам'яті представляють собою набір запам'ятовуючих елементів, кожен з яких зберігає один біт даних. На Рис. 4 показано, що кожен запам'ятовуючий елемент з'єднаний з лінією слів (лінією вибірки слів) і лінією бітів (лінією запису-зчитування). При будь-якій комбінації адресних бітів активується тільки одна лінія вибірки слів і, тим самим, дозволяється доступ до елементів відповідного рядка. Коли лінія вибірки слів деякого рядка активна, елементи цього рядка можуть видавати дані на лінії запису-зчитування або приймати дані з цих ліній. В іншому випадку запам'ятовуючі елементи від'єднані від лінії запису-зчитування. Для різних типів пам'яті схеми запам'ятовуючих елементів будуть різними.

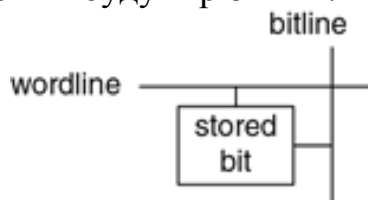


Рис. 4

При читанні бітів лінія запису-зчитування спочатку знаходиться в відключеному стані (Z). Потім включається лінія вибірки слів, і запам'ятовуючі елементи видають збережене значення на лінію запису-зчитування. При запису інформації в запам'ятовуючий елемент сигнал на лінію запису-зчитування надходить зі спеціального підсилювача запису-зчитування, що має невеликий вихідний опір. Потім включається лінія вибірки слів, і лінії запису-зчитування з'єднуються з запам'ятовуючими елементами. Сигнал з лінії запису-зчитування стирає вміст запам'ятовуючого елемента, і в нього записується нова інформація.

Організація

На Рис. 5. показана внутрішня організація матриці пам'яті 4×3 . Звичайно, реальні пристрої що запам'ятовують, мають набагато більший обсяг, але поведінка малих матриць пам'яті може бути екстрапольована на поведінку великих. У цьому прикладі матриця зберігає дані, які наведені на Рис. 2 (b).

При зчитуванні вмісту пам'яті активується лінія вибірки слів, і з запам'ятовуючих елементів відповідного рядка на лінії запису-зчитування надходить напруга високого або низького логічного рівня. При запису на лінії запису-зчитування за допомогою підсилювача запису-зчитування подаються дані, які будуть збережені в елементах рядка, а потім активується відповідна лінія вибірки слів. Наприклад, для читання даних за адресою 10 лінії запису-зчитування залишаються в відключеному стані, декодер активує другу лінію вибірки слів (wordline2), і дані, які зберігаються в цьому рядку (100), зчитуються з ліній запису-зчитування (Data). Для запису значення 001 за адресою 11 на лінії запису-зчитування з підсилювача запису-зчитування надходить величина 001,

потім активується третя лінія вибірки слів (wordline₃), і нове значення зберігається в запам'ятовуючих елементах.

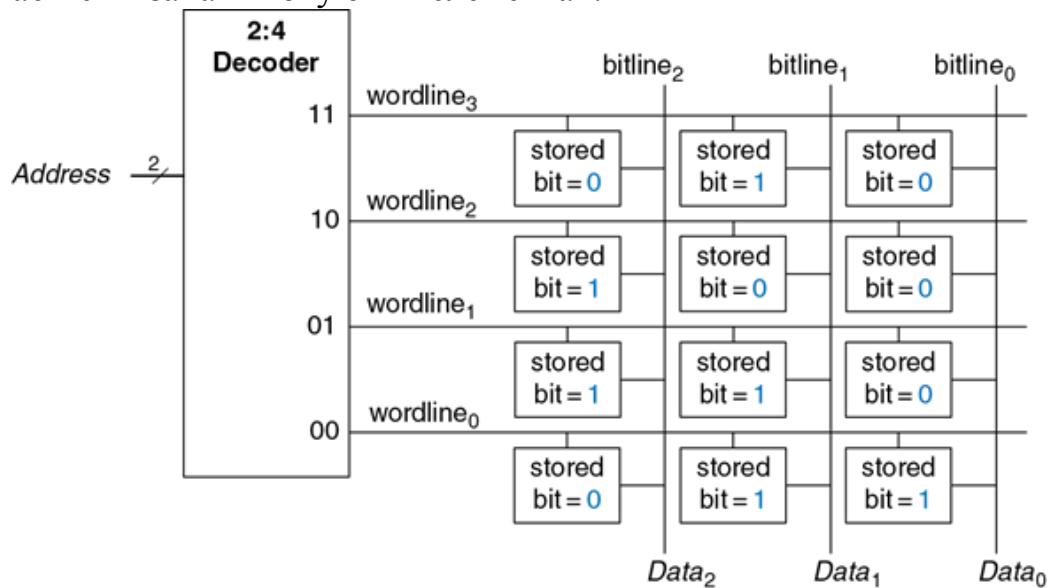


Рис. 5

Порти пам'яті

Пам'ять всіх типів має один або кілька портів (ports). Через порти здійснюється доступ до вмісту пам'яті за деякою адресою для читання, запису або читання-запису.

Багатопортова пам'ять забезпечує одночасний доступ до вмісту по декількох адресах. На Рис. 6 показана трьохпортова пам'ять з двома портами для читання і одним для запису. Порт 1 зчитує дані, які зберігаються за адресою A1, і видає їх на вихід RD1. Порт 2 видає інформацію, збережену за адресою A2, на вихід RD2. Порт 3 дозволяє записати дані, подані на вхід WD3, в елемент за адресою A3, запис інформації здійснюється за переднім фронтом тактового імпульсу при активному сигналі WE3.

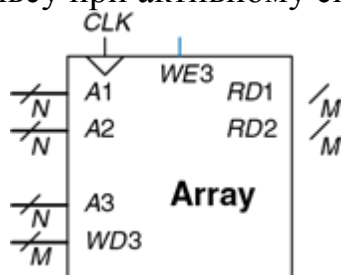


Рис. 6

2. Принцип побудови динамічного запам'ятовуючого елемента

Основними класами ОЗП є динамічний оперативний пристрій (динамічна пам'ять, DRAM) і статичний оперативний пристрій (статична пам'ять, SRAM). Динамічна пам'ять зберігає дані у вигляді заряду конденсаторів, а статична - в вигляді стану бістабільної схеми, що складається з двох перехресно з'єднаних інверторів.

У динамічному ОЗП (DRAM) двійковим значенням відповідає наявність і відсутність заряду конденсатора. На Рис. 7 показаний запам'ятовуючий елемент динамічного ОЗП. Значення біта зберігається в конденсаторі. N-канальний

МОП-транзистор (nMOS) є ключем, який може підключити конденсатор до лінії запису-зчитування або відключити його. Коли лінія вибірки слів активна, транзистор відкривається, і збережені біти передаються на лінію запису-зчитування або навпаки, відбувається запис нової інформації в елемент.

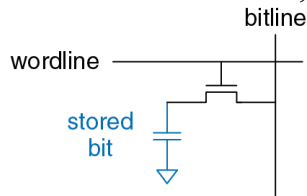


Рис. 7

При зчитуванні дані передаються від конденсатора на лінію запису-зчитування. При запису дані надходять з лінії запису-зчитування на конденсатор. Читання знищує дані, які зберігалися в конденсаторі, тому після кожного читання дані повинні бути відновлені (перезаписані). Навіть якщо з динамічного ОЗУ не потрібно зчитувати дані, через саморозряд конденсаторів вони повинні регенеруватися (зчитуватися і перезаписуватися) кожні кілька мілісекунд.

3. Принцип побудови статичного запам'ятовуючого елемента

Статичний ОЗП (SRAM) називається статичним, оскільки в ньому відсутня необхідність регенерації збережених даних. На Рис. 9 показаний запам'ятовуючий елемент статичного ОЗП. Дані зберігаються в бістабільній схемі, що складається з двох перехресно з'єднаних інверторів.

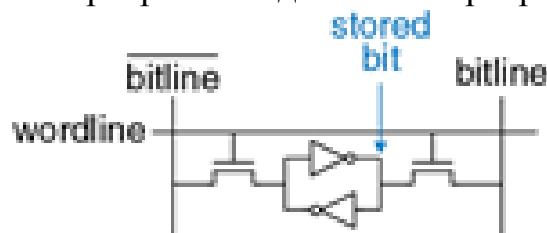


Рис. 9

Кожний запам'ятовуючий елемент має два виходи, *bitline* і $\overline{bitline}$. Коли лінія вибірки слів активна, обидва n-канальних МОП-транзистори відкриваються і дані можуть бути записані в елемент або зчитані з нього. На відміну від динамічного ОЗП, перехресно сполучені інвертори повертають запам'ятовуючий елемент у рівноважний стан, якщо він вийшов з нього у випадку випадкових відхилень.

4. Регістрові файли

Цифрові системи часто використовують кілька регістрів для зберігання тимчасових змінних. Такі групи регістрів, які називаються регістровими файлами, зазвичай реалізуються у вигляді невеликих багатопортових матриць статичного ОЗП, оскільки вони більш компактні, ніж матриці тригерів.

На Рис. 10 показаний трьохпортовий регістровий файл, що складається з 32 регістрів по 32 біта кожен, який побудований на основі трьохпортової пам'яті, показаної на Рис. 6.

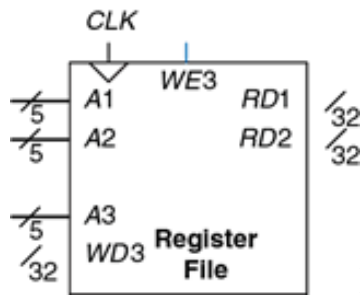


Рис. 10

5. Постійні запам'ятовуючі пристрої.

У постійному пристрої, що запам'ятовує (ПЗП, ROM) двійковим значенням, які зберігаються, відповідає наявність або відсутність транзистора. На Рис. 11 показаний простий запам'ятовує елемент ПЗП. При читанні інформації з елемента на лінію запису-зчитування від зовнішнього джерела подається рівень низької логічної 1. Потім активується лінія вибірки слів. Якщо в елементі є транзистор, він відкривається і встановлює на лінії запису-зчитування рівень логічного 0. Коли транзистор відсутня, на лінії запису-зчитування залишається рівень логічної 1. Зверніть увагу на те, що ПЗП є комбінаційною схемою і не має стану, який може бути втрачений при відключенні живлення.

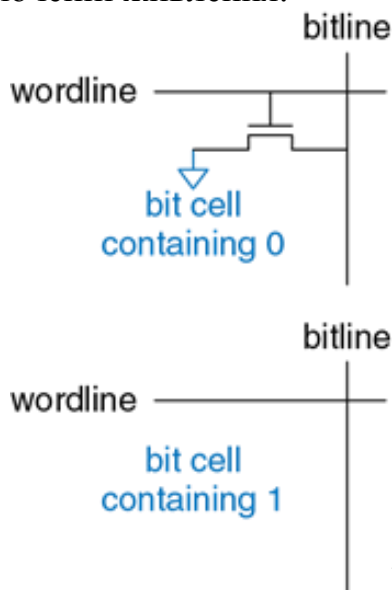


Рис. 11

Вміст ПЗП може бути показано за допомогою точкового нотації. На Рис. 12 наведена точкова нотація для ПЗУ 4-слова $\times$ 3-біт, яка містить дані Рис. 2. Наявність точки на перетині рядка (лінії вибірки слів) і стовпці (лінії запису-зчитування) показує, що зберігаємий біт дорівнює 1. Наприклад, на верхній лінії вибірки слів є тільки одна точка на її перетині з Data1, отже, за адресою 11 зберігається значення 010.

