

ДЕРЖАВНА СЛУЖБА УКРАЇНИ З НАДЗВИЧАЙНИХ СИТУАЦІЙ

**Львівський державний університет безпеки
життєдіяльності**

Юрій БОРЗОВ, Олександр ХЛЕВНОЙ, Роман ГОЛОВАТИЙ

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Практикум

II частина

**для здобувачів освіти першого (бакалаврського) рівня
спеціальності 122 “Комп'ютерні науки”**

Львів-2023

УДК 004.2
ББК 32.97
Б 82

Рецензенти: **Тарас БРИЧ** – кандидат технічних наук, доцент, старший науковий співробітник відділу сейсмічності Карпатського регіону Інституту геофізики НАН України;

Вячеслав ФЕДАН – старший інженер відділу інформаційних технологій та технічного захисту інформації Львівського державного університету безпеки життєдіяльності.

Рекомендовано до друку рішенням вченої ради
Львівського державного університету безпеки життєдіяльності
(протокол № 10 від 14.05.2024 р.)

Борзов, Юрій Олексійович.

Комп'ютерна схемотехніка : практикум (II частина) / Ю. Борзов, О. Хлевной, Р. Головатий; Львівський держ. ун-т безпеки життєдіяльності. – Львів : ЛДУБЖД, 2023. – 80 с. – Бібліогр.: с. 79 (7 назв).

Загалом практикум містить методичні вказівки щодо виконання 10 лабораторних робіт, метою яких є закріплення теоретичних знань та удосконалення навиків побудови і використання аналогових та цифрових пристроїв.

Усі лабораторні роботи, представлені у цьому практикумі, виконуються з використанням програмного комплексу для комп'ютерного моделювання електронних схем та пристроїв Multisim від компанії National Instruments.

Лабораторний практикум розрахований на майбутніх фахівців інженерно-технічних спеціальностей, що здобувають освіту в галузі інформаційних технологій та захисту інформації.

© Юрій Борзов, 2024
© Олександр Хлевной, 2024
© Роман Головатий, 2024
© ЛДУ БЖД, 2024

ЗМІСТ

Вступ	4
Лабораторна робота №1. Дослідження роботи елементів ТТЛ-логіки на біполярних транзисторах.....	6
Лабораторна робота №2. Логічні елементи.....	12
Лабораторна робота №3. Дослідження дешифраторів та шифраторів	21
Лабораторна робота №4. Дослідження мультиплексорів та демультимплексорів.....	28
Лабораторна робота №5. Дослідження тригерів	37
Лабораторна робота № 6. Дослідження регістрів.....	46
Лабораторна робота № 7. Дослідження лічильників.	53
Лабораторна робота № 8. Дослідження суматорів.....	59
Лабораторна робота № 9. Дослідження компараторів	67
Лабораторна робота № 10. Реалізація та дослідження АЛП	73
Список рекомендованої літератури	79

ВСТУП

Знання теоретичних та прикладних основ комп'ютерної схемотехніки та архітектури комп'ютерів є ключовим елементом для успішного впровадження, розробки та підтримки технологій в інформаційному суспільстві. Воно дозволяє отримати глибше розуміння того, як працюють комп'ютери на апаратному рівні, зокрема, як операційні системи та програмне забезпечення взаємодіють з апаратним забезпеченням, а також для виявлення та виправлення можливих проблем. Чітке уявлення про архітектуру комп'ютерів дозволяє фахівцям оптимізувати програмне забезпечення, покращувати його продуктивність та ефективність використання наявних ресурсів.

Вивчення навчальної дисципліни «Комп'ютерна схемотехніка» також актуальне для вирішення завдань із вдосконалення заходів забезпечення інформаційної безпеки, оскільки дозволяє виявляти та запобігати можливим загрозам та вразливостям.

Закріплення отриманих теоретичних знань моделювання електронних схем та вивчення їх робочих режимів, а також детальний аналіз отриманих результатів є невід'ємною складовою освітнього процесу. При цьому надзвичайно актуальним і корисним є використання віртуальних комп'ютерних лабораторій, які дають змогу здобувачам освіти самостійно та віддалено виконувати лабораторні роботи з використанням доступних програм та методичних матеріалів на особистих комп'ютерах. Це суттєво спрощує процес моделювання та дослідження схем, усуває проблему обмеженої елементної бази та вимірювальної апаратури. Окрім того, здобувачам освіти надається можливість вносити зміни в параметри елементів та досліджувати їх вплив на функціонування електронних схем в реальному часі.

Усі лабораторні роботи, представлені у цьому практикумі, виконуються з використанням програмного комплексу для комп'ютерного моделювання електронних схем та пристроїв Multisim від компанії National Instruments. Безкоштовна версія програми – NI Multisim Analog Devices Edition передбачає обмеження лише за кількістю елементів в одній схемі.

Основними перевагами використання програми NI Multisim є наявність зручного інтерфейсу, інтуїтивно зрозуміле відтворення умов дослідницької лабораторії, оснащеної робочим столом, елементною базою та вимірювальними приладами для вивчення скомпонованих схем.

Загалом практикум містить методичні вказівки щодо виконання 10 лабораторних робіт, метою яких є закріплення теоретичних знань та удосконалення навиків побудови і використання аналогових та цифрових пристроїв.

Кожна лабораторна робота практикуму містить тему, мету, короткі теоретичні відомості, завдання, порядок виконання завдань і список питань для самоперевірки. Для успішного захисту виконаних робіт здобувачам необхідно оформити окремий звіт, який повинен містити наступні пункти: мета лабораторної роботи, короткі теоретичні відомості, індивідуальне завдання згідно варіанту, опис основних етапів виконання роботи, електронні схеми та отримані результати, висновки.

Лабораторний практикум розрахований на майбутніх фахівців інженерно-технічних спеціальностей, що здобувають освіту в галузі інформаційних технологій та захисту інформації.

Лабораторна робота №1

ДОСЛІДЖЕННЯ РОБОТИ ЕЛЕМЕНТІВ ТТЛ-ЛОГІКИ НА БІПОЛЯРНИХ ТРАНЗИСТОРАХ

Мета роботи: дослідження роботи елементів ТТЛ-логіки в статичному режимі.

Теоретичні відомості

Для обробки і перетворення інформації в пристроях імпульсної техніки широко застосовують цифрові методи. Ці методи базуються на використанні сигналів у цифровій формі, що мають два фіксованих рівня напруги: високий та низький. Цим рівням напруг приписують логічні символи 1 та 0.

Сигнали в цифровій формі обробляються цифровими (логічними) інтегральними мікросхемами (ЦІМС), на яких базуються цифрові пристрої та системи. Головним елементом ЦІМС є електронний ключ, який може перебувати в одному з двох станів. Цим станам відповідає одне з двох фіксованих значень електричної величини: наявність або відсутність імпульсу, високий або низький потенціал. Оскільки більшість ЦІМС потенціальні, то сигнали на їх входах й виходах створюють високий або низький рівень напруги. Такі сигнали, здатні набувати двох дискретних значень, називають двійковими змінними.

За способом кодування сигналів в ЦІМС розрізняють позитивну й негативну логіки. Для позитивної логіки високому рівню напруги приписують стан логічної 1, а низькому – логічного 0, для негативної логіки – навпаки. Як і аналогові мікросхеми, ЦІМС випускаються серіями. Мікросхеми різних серій мають два й більше входів. Кількість виходів обмежується числом зовнішніх виводів стандартних корпусів і загалом не перевищує восьми. За функціональними ознаками ЦІМС поділяються на такі підгрупи: логічні елементи, тригери, елементи арифметичних пристроїв та ін. Найширше в цифрових пристроях і системах застосовують інтегральні логічні елементи: І, АБО, НІ, І–НІ, АБО–НІ і т. д.; види тригерів: RS, T, JK, D і т. д.

Для оцінки властивостей логічних елементів використовують вхідну, вихідну й передавальну статистичні характеристики. Вхідна характеристика представлена залежністю $I_{\text{вх}} = f(U_{\text{вх}})$, коли $I_{\text{вих}} = 0$ і служить для розрахунку умов узгодження даного елемента з попереднім у

різних режимах роботи. Вихідна характеристика описується залежністю $I_{\text{вих}} = f(U_{\text{вих}})$, коли $I_{\text{вх}} = 0$ і дозволяє розраховувати умови узгодження елемента з наступним, тобто оцінити навантажувальну здатність заданого елемента. Передавальна характеристика – залежність $U_{\text{вих}} = f(U_{\text{вх}})$, коли $I_{\text{вих}} = 0$, необхідна для визначення порогів спрацьовування елементів і їх завадостійкості у тій або іншій схемі.

Статистичні параметри ЦІМС

Статистичні характеристики дозволяють визначити статистичні параметри ЦІМС: потужність споживання в сполученні логічного 0 $P_{\text{спож}}^0$; потужність споживання в сполученні логічної 1 $P_{\text{спож}}^1$; середня потужність споживання $P_{\text{спож.с}}$ – півсума потужностей, що їх споживає мікросхема від джерел живлення в двох різних стійких станах; вхідна $U_{\text{вх}}^0$ й вихідна $U_{\text{вих}}^0$ напруги логічного 0; вхідна $U_{\text{вх}}^1$ й вихідна $U_{\text{вих}}^1$ напруги логічної 1; вхідний $I_{\text{вх}}^0$ і вихідний $I_{\text{вих}}^0$ струми логічного 0; вхідний $I_{\text{вх}}^1$ і вихідний $I_{\text{вих}}^1$ струми логічної 1; порогова напруга логічного 0 $U_{\text{пор}}^0$ – найбільше значення низького рівня напруги в момент переходу з одного стійкого стану в інший; порогова напруга логічної 1 $U_{\text{пор}}^1$ – найменше значення високого рівня напруги в момент переходу з одного стану в інший; коефіцієнт об'єднання за входом $K_{\text{об}}$ – число входів мікросхеми, за яким реалізується логічна функція; коефіцієнт розгалуження за виходом $K_{\text{розг}}$ – число одиничних навантажень, які можна одночасно під'єднати до виходу мікросхеми; припустима напруга статистичної завади $U_{\text{ст.з}}$ – найбільша припустима напруга статичної завади для високого й низького рівнів вхідної напруги, за якої ще не відбувається зміна рівнів вихідної напруги мікросхеми.

Аналіз роботи ЦІМС базується на використанні апарату математичної логіки, в основі якої лежить розуміння події, яка оцінюється лише з позиції її настання. Подія може статися або не статися. Подій, які б одночасно і наставали і не наставали, не існує. Отже, кожній події можна приписати значення істинності, що дорівнює 1 або 0. Наприклад, будь-яку подію можна позначити символом x і вважати, що $x = 1$, якщо подія відбулася, і $x = 0$, якщо подія не відбулася. Це дуже зручно для виконання операцій у двійковій системі числення, де є лише дві цифри: 1 та 0.

Будь-яку величину, яка може мати два значення (1 або 0), в алгебрі логіки називають двійковою змінною. При цьому кожній двійковій змінній, наприклад X , ставиться у відповідність зворотна інверсія або

додаткова до неї змінна так, що коли $x = 0$, то $\bar{x} = 1$, коли $x = 1$, то $\bar{x} = 0$. Змінну $\bar{x}$ належить читати як НЕ x .

Якщо з простими подіями здійснити логічні операції, можна отримати складну подію або логічну функцію, що називається двійковою функцією. Виконання логічних операцій над двійковими змінними лежить в основі обробки інформації.



Рисунок 1.1 – Структурна схема ЦІМС

Як відзначалося раніше, ЦІМС представлена ключами, які мають в загальному випадку $m \geq 1$ входів та $n \geq 1$ виходів (рисунок 1.1) і реалізують означену логічну перемикальну функцію:

$$y_j = f(x_1, x_2, x_3, \dots, x_i, \dots, x_m), \quad j = 1, 2, 3, \dots, n, \quad (1.1)$$

де x_i – інформаційне значення входних сигналів, що дорівнюють логічній 1 та логічному 0; y_j – інформаційні значення вихідних сигналів, які, в залежності від X , можуть приймати лише значення 1 або 0. При цьому для зображення двійкових змінних в електронних системах використовують електричні сигнали. Для кращого сприйняття змісту логічної дії, вираженої логічною функцією (1.1), її часто задають у вигляді таблиці стану входних x_i та вихідних y_j змінних. Таку таблицю називають таблицею істинності або перемикальною.

Порядок виконання роботи

1. Запустіть Multisim.

2. Підготуйте новий файл для роботи. Для цього необхідно виконати такі операції з меню: File/New і File/Save as. При виконанні операції Save as буде необхідно вказати ім'я файлу і каталог, у якому буде зберігатися схема.

3. Зібрати схему інвертора, приведену на рисунку 1.2. $R_1 = 4$ кОм, $R_2 = 3$ кОм, $R_3 = 40$ Ом, $R_4 = 3$ кОм, $R_5 = 200$ Ом, $R_6 = 4$ кОм, $R_7 = 100$ Ом.

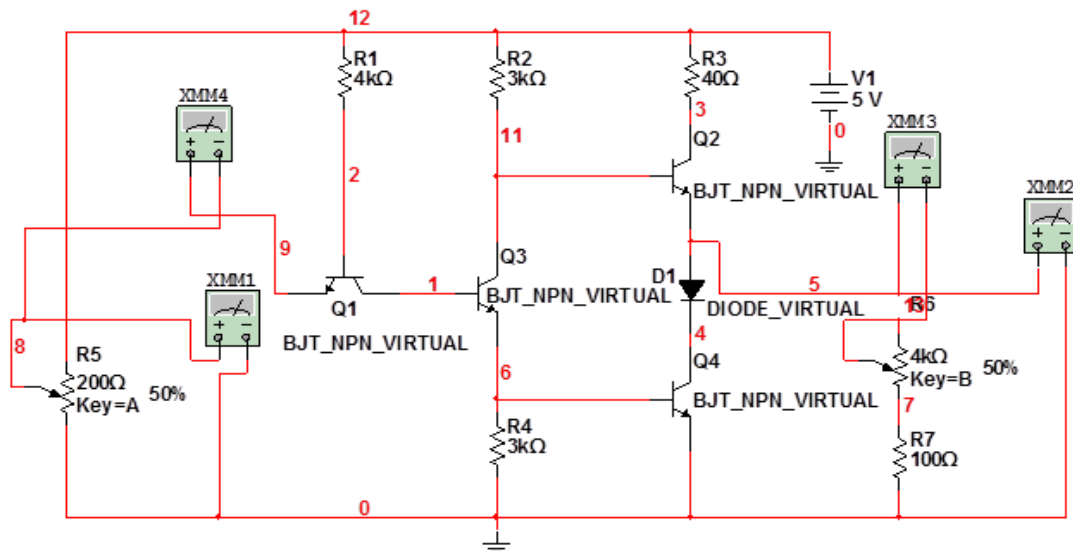


Рисунок 1.2 – Схема дослідження інвертора

4. Оберіть символи для керування резисторами R_5 і R_6 . Натискання кнопки відповідного символу відповідає переміщенню повзунка резистора вниз, Shift+/символ/ – вгору. Крок зміни опорів обрати 2%. Встановити повзунок резистора R_5 в нижнє положення (0%) – $U_{вх} = 0$ В. Повзунок резистора R_6 перевести у верхнє положення (100%) – опір навантаження максимальний. Внутрішній опір вольтметрів обрати рівним 1 МОм, амперметрів – 0,1 Ом.

5. Вхідна і передавальна характеристика елемента.

Вхідна характеристика відображає залежність між вхідною напругою і струмом $I_{вх} = f(U_{вх})$, передавальна – між вхідною і вихідною напругою $U_{вих} = f(U_{вх})$.

5.1. Змінюючи резистором R_5 напругу на вході елемента, зняти його вхідну і передавальну характеристики. Результати вимірювань записати до таблиці 1.1.

5.2. Побудувати графіки залежностей $I_{вх} = f(U_{вх})$ та $U_{вих} = f(U_{вх})$.

5.3. Визначити допустимі рівні значень $U_{вих}^0$ та $U_{вих}^1$.

Таблиця 1.1

$U_{вх}, В$									
$I_{вх}, мА$									
$U_{вих}, В$									

6. Вихідна характеристика елемента.

Вихідна характеристика відображає залежність між вихідними напругою і струмом $U_{вих} = f(I_{вих})$. Вихідні характеристики дискретних елементів знімають окремо для додатної і від'ємної гілок характеристики – для сигналів високого і низького рівнів.

6.1. Додатна гілка характеристики

Встановити на вході елемента напругу $U_{вх} = 0 \text{ В}$. При цьому на виході елемента буде високий рівень напруги $U_{вих}^1$. Змінюючи опір резистора R_6 , зняти вихідну характеристику елемента $U_{вих} = f(I_{вих})$ – область додатного вихідного струму. В процесі вимірювань струм виходу не більше 15 мА. Результати внести до таблиці 1.2.

Таблиця 1.2

$U_{вих}^1$	$I_{вих}, \text{мА}$								
	$U_{вих}, \text{В}$								

6.2. Від'ємна гілка характеристики

Встановити на вході елемента напругу $U_{вх} = 4 \text{ В}$. При цьому на виході елемента буде низький рівень напруги $U_{вих}^0$. Резистор R_7 від'єднати від загальної лінії (загального «нуля») і підключити до джерела +5В. Змінюючи опір резистора R_6 , зняти вихідну характеристику елемента $U_{вих} = f(I_{вих})$ – область від'ємного вихідного струму. В процесі вимірювань струм виходу повинен становити не більше 10 мА. Результати внести до таблиці 1.3.

Таблиця 1.3

$U_{вих}^0$	$I_{вих}, \text{мА}$								
	$U_{вих}, \text{В}$								

Визначити вихідний опір елемента для високого і низького рівнів напруги.

7. Перевірка логічної функції елемента 2I-HE.

7.1. Зібрати схему елемента 2I-HE, приведену на рисунку 1.3.

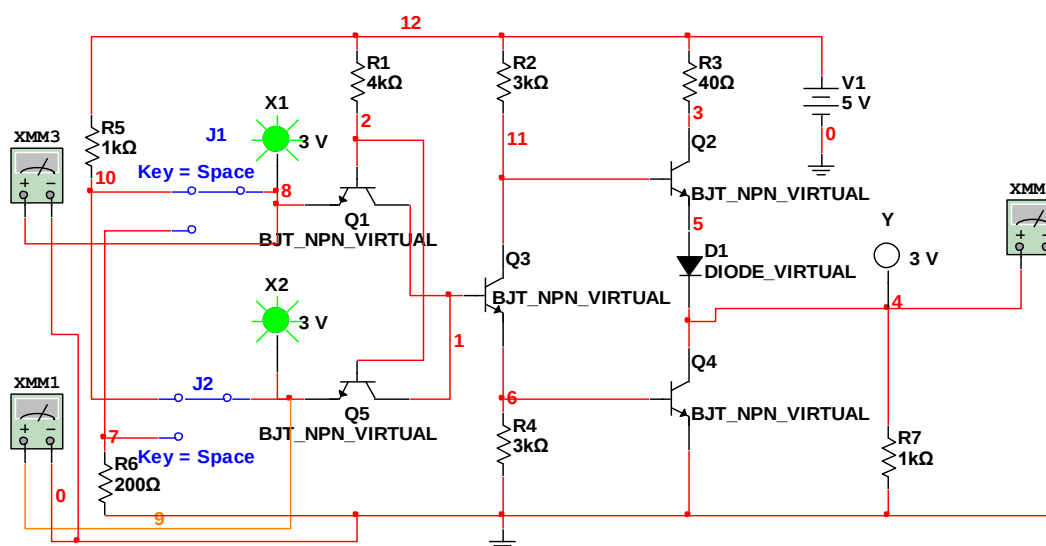


Рисунок 1.3 – Схема дослідження логічного елемента 2I-HE

7.2. Подаючи всі можливі сигнали на вхід елемента, заповнити таблицю 1.4.

Таблиця 1.4

U_1, B	U_2, B	U_y, B	X1	X2	Y
			0	0	
			0	1	
			1	0	
			1	1	

Контрольні запитання

1. Що є головним елементом ЦІМС?
2. Яка різниця між позитивною та негативною логікою?
3. Що відображають вхідна та вихідна характеристики?
4. Що показує передавальна характеристика ЦІМС?

Вимоги до оформлення звіту лабораторної роботи.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) принципову електричну схему досліджуваного елемента;
- 3) таблиці з отриманими результатами;
- 4) графіки вхідної, передавальної та вихідної характеристик;
- 5) значення вихідних опорів;
- 6) висновки, що базуються на аналізі отриманих результатів.

Лабораторна робота №2

ЛОГІЧНІ ЕЛЕМЕНТИ

Мета роботи: Дослідження роботи логічних елементів "OR, NOR, AND, NAND, NOR".

Логічний елемент АБО (OR)

Логічну функцію АБО (диз'юнкцію) реалізує логічний елемент АБО, схема якого виконується на основі ключів з двома або більше входами й одним виходом. Принцип роботи такої схеми полягає в тому, що вихідний сигнал у дорівнює логічній 1, якщо хоча б один з вхідних сигналів (або декілька сигналів) x_i дорівнює 1, у протилежному випадку на виході логічний 0.

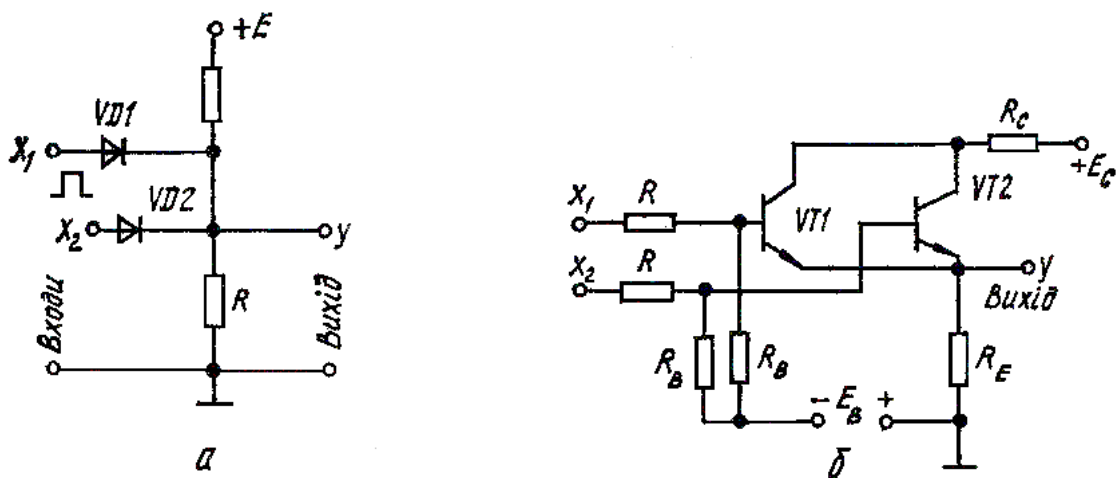


Рисунок 2.1 – Схеми логічного елемента АБО

На рисунку 2.1, *а* показана найпростіша схема логічного елемента АБО на два входи з двома діодними ключами VD1 та VD2.

Часто інтегральні схеми елементів АБО виготовляють на транзисторах. Розглянемо роботу транзисторної схеми АБО на два входи (ТЛ) з паралельним ввімкненням транзисторів VT1 та VT2 на загальне емітерне навантаження (рисунок 1, б).

У початковому стані обидва транзистори закриті негативним зміщенням на бази від джерела E_B . Оскільки емітерний повторювач (транзистори VT1 та VT2 ввімкнені за схемою із ЗК) не підсилює напругу й не повертає фази вхідного сигналу, після подачі до будь-якого із входів

x_i позитивного потенціалу (логічної 1) відповідний транзистор відкривається, і вихід y набуває такого ж потенціалу (логічна 1).

Часові діаграми напруг на входах x та виході y схеми АБО, а також таблиця істинності показані відповідно на рисунку 2.2.

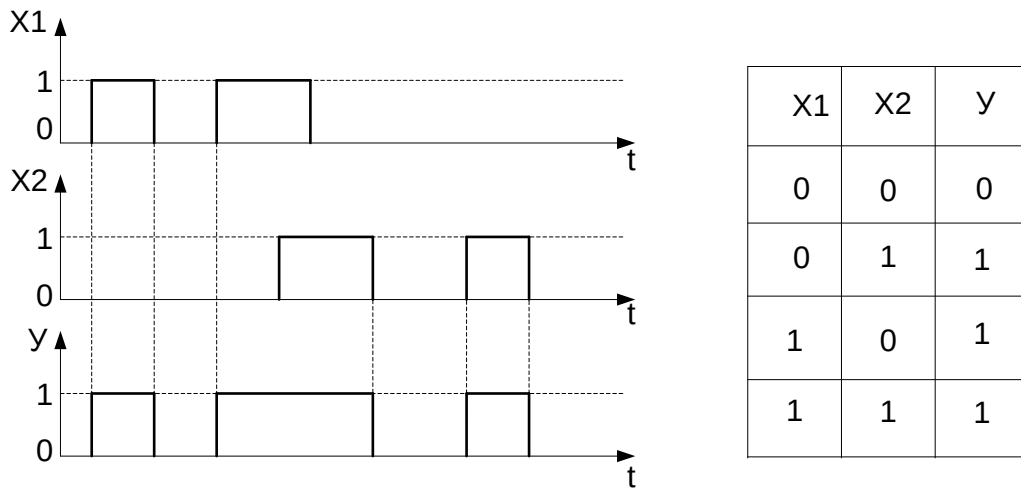


Рисунок 2.2 – Часові діаграми та таблиця істинності логічного елемента АБО

Логічний елемент І (AND)

Логічна схема на основі ключів з двома або більше входами й одним виходом виконує операцію логічного множення (кон'юнкцію), при якій сигнал зі значенням 1 з'являється на виході лише тоді, коли на всі входи одночасно подають сигнали логічної 1; у всіх інших випадках (навіть за наявності на входах одного 0) вихідний сигнал відсутній (дорівнює логічному 0). Часові діаграми й таблиця істинності двовходового елемента І показані на рисунку 2.3.

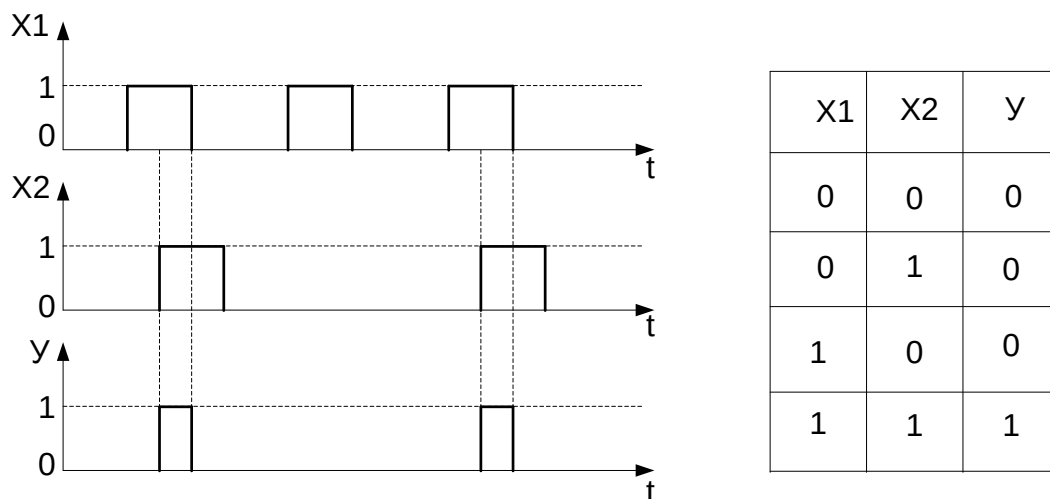


Рисунок 2.3 – Часові діаграми та таблиця істинності логічного елемента І

Інтегральну логічну схему І звичайно виконують на діодах. Для компенсації деякого послаблення сигналу або розв'язки з навантаженням на виході такої схеми часто вмикають транзистор (ДТЛ). Схема логічного елемента І на m входів показана на рисунку 2.4. Діодний логічний елемент І являє собою послідовний діодний ключ з m входами.

Якщо на всіх входах схеми низький потенціал (логічний 0), то всі діоди відкриті. При цьому через резистори R_1 , R_2 та діоди протікають струми від джерела живлення E_C , замикаючись через входи джерел вхідних сигналів. Оскільки сумарний опір $R_1 + R_2$ набагато більший за опір діодів, зміщених у прямому напрямку, напруга на виході діодів (вивід бази транзистора), а також на виході транзистора (вивід емітера) близька до нуля (логічний 0).

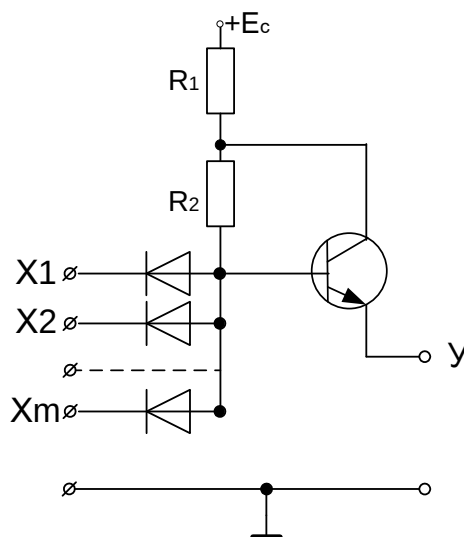


Рисунок 2.4 – Схема логічного елемента І

Після надходження до одного із входів високого потенціалу $U > E_C$ (логічна 1) відповідний діод закривається. Однак інші діоди відкриті, а тому на виході схеми зберігається нульовий потенціал (діоди ввімкнені паралельно). Коли на всіх входах з'явиться напруга логічної 1, всі діоди закриваються, струми діодів через опір $R_1 + R_2$ дорівнюють нулю, й напруга на виході діодів (отже, на виході схеми) стрибком досягає значення, що дорівнює $+E_C$ (логічна 1).

Якщо логічний елемент І має кількість входів більшу за кількість вхідних сигналів, то невикористані входи необхідно з'єднати з «+» джерела живлення. Діоди цих входів будуть завжди в закритому стані, що зменшує ймовірність перешкод від наведень на виході схеми І.

Логічний елемент І–НІ (NAND).

Цей логічний елемент виконує функцію негативного логічного добутку вхідних сигналів. Це означає, що на виході логічного елемента І–НІ сигнал відсутній (логічний 0) лише тоді, коли сигнали одночасно надходять до всіх входів. В інших випадках на виході є сигнал, що відповідає логічній 1. Часові діаграми й таблиця істинності для двовходового логічного елемента І–НІ показані на рисунку 2.5.

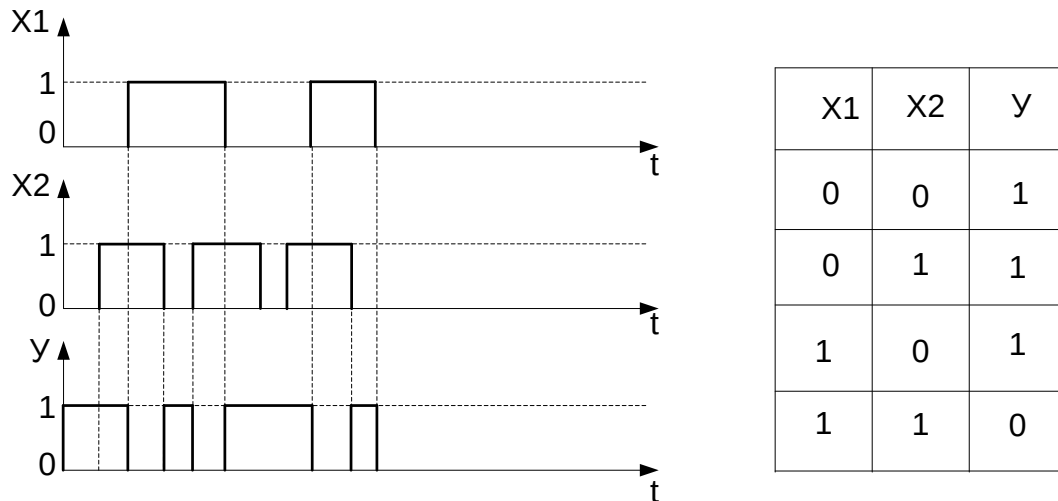


Рисунок 2.5 – Часові діаграми та таблиця істинності логічного елемента І–НІ

Інтегральні логічні схеми І–НІ виконують за типами ДТЛ (рисунки 2.6, а) та ТТЛ (рисунки 2.6, б).

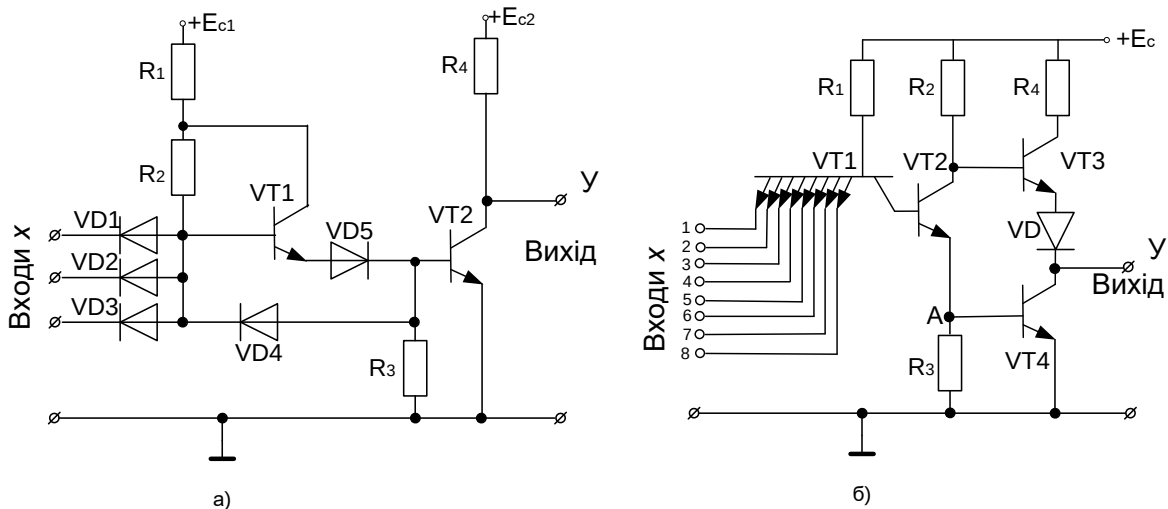


Рисунок 2.6 – Схеми логічного елемента І–НІ

У першій схемі з трьома входами й розширенням по І (мікросхема К109ЛБ1А) операцію І здійснюють діодна частина (діоди VD1–VD3) з резисторами $R1, R2$ та транзистор VT1 (повний аналог мікросхеми на рисунку 2.5). Підсилювальний каскад (інвертор на транзисторі VT2) здійснює операцію НІ. Діод VD5, що зв'язує діодну частину з інвертором, служить для надійного закривання транзистора VT2, потенціал бази якого нижчий за потенціал точки А на величину прямого спаду напруги на діоді.

Якщо до всіх входів надходять низькі рівні напруг (логічні 0), то діоди VD1–VD3 відкриті й забезпечують потенціал точки А близький до нуля. Транзистор VT2 надійно закритий діодом VD5, і напруга на колекторі (на виході схеми) дорівнює $+E_{C2}$ (логічна 1). Логічна 1 на виході зберігатиметься доти, поки до всіх входів не надійдуть сигнали високого рівня (логічна 1). В цьому випадку діоди VD1–VD3 закриються, потенціал точки А збільшиться до $+E_{C1}$, а транзистор VT2 ввійде в режим насичення з низькою напругою на колекторі (логічний 0). Це відповідає логічній операції І–НІ.

Логічний елемент АБО–НІ (NOR)

Логічна схема на основі ключів з двома або більше входами й одним виходом виконує функцію заперечення логічного додавання, якщо вхідним сигналам, що дорівнюють одиниці, відповідає логічний 0 на виході, а нульовим сигналам на всіх входах відповідає вихідний сигнал 1. Логічний елемент АБО–НІ працює як логічний елемент НІ з декількома входами. Часові діаграми і таблиця істинності схеми АБО–НІ на два входи зображена на рисунку 2.7, а, б.

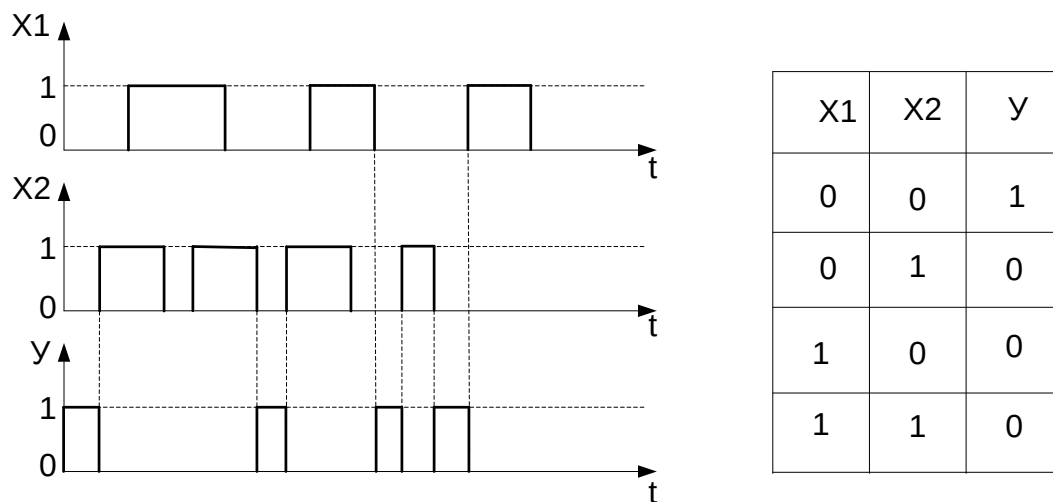


Рисунок 2.7 – Часові діаграми та таблиця істинності логічного елемента АБО –НІ

Схема логічного елемента АБО–НІ на транзисторах з чотирма входами, що виконана за типом ТЛ, показана на рисунку 2.8.

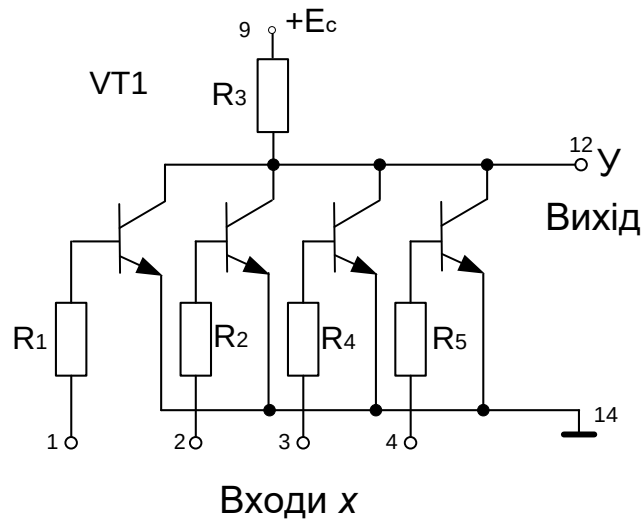


Рисунок 2.8 – Схема логічного елемента АБО

За низького рівня напруги на входах (логічний 0) транзистори закриті й на виході логічна 1 ($U_{CE\text{відс}} \approx +E_C$). Якщо хоча б до одного із входів прикласти високий рівень напруги, що відповідає логічній одиниці, то відповідний до цього входу транзистор увійде в режим насичення і потенціал колекторів всіх транзисторів (вихід схеми) зменшиться майже до 0 (логічний 0). Таким чином, реалізується логічна операція АБО–НІ.

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент OR2.
4. Викликати на робоче поле прилад "Логічний Перетворювач" (Logic Converter).
5. З'єднати вибраний логічний компонент з приладом "Логічний Перетворювач", як показано на рисунку 2.9. Провести дослідження логічного елемента за допомогою "Логічного Перетворювача".

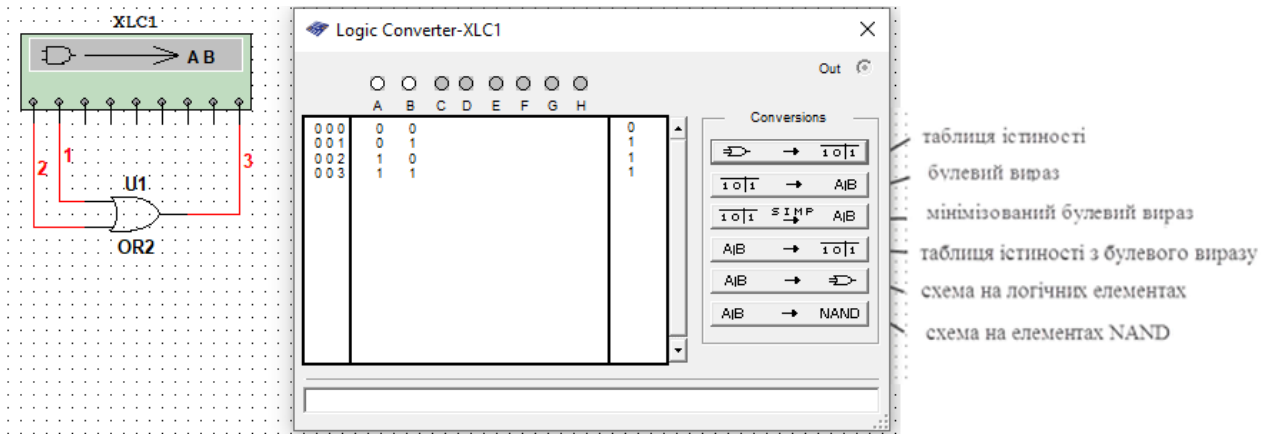


Рисунок 2.9 – Схема дослідження логічного елемента OR2

6. На панелі компонентів у розділі «Цифрові мікросхеми» оберіть елемент NOR3. Виконайте пункт 5 для даного елемента (рисунок 2.10).

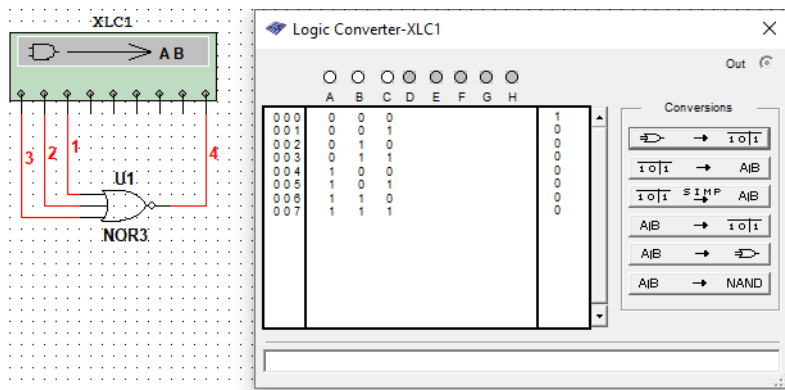


Рисунок 2.10 – Схема дослідження логічного елемента NOR3

7. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент AND3. Виконайте пункт 5 для даного елемента (рисунок 2.11).

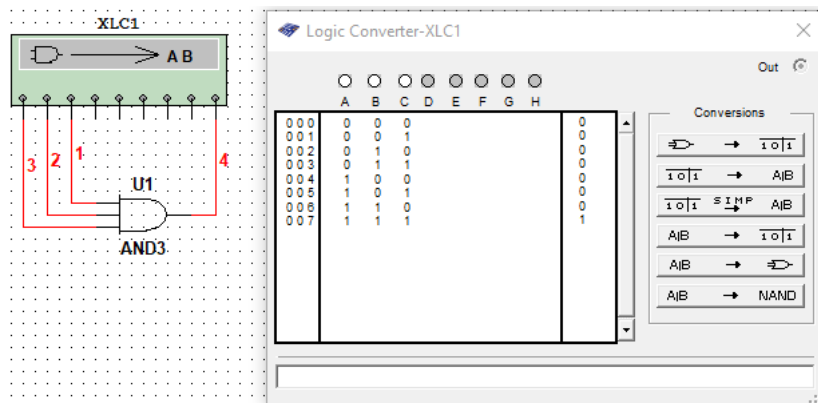


Рисунок 2.11 – Схема дослідження логічного елемента AND3

8. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент NAND3. Виконайте пункт 5 для даного елемента (рисунок 2.12).

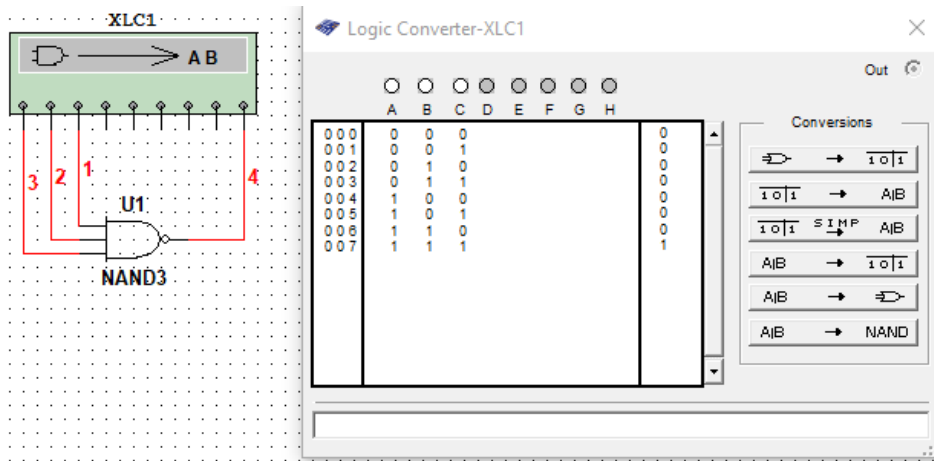


Рисунок 2.12 – Схема дослідження логічного елемента NAND3

9. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент EOR3. Виконайте пункт 5 для даного елемента (рисунок 2.13).

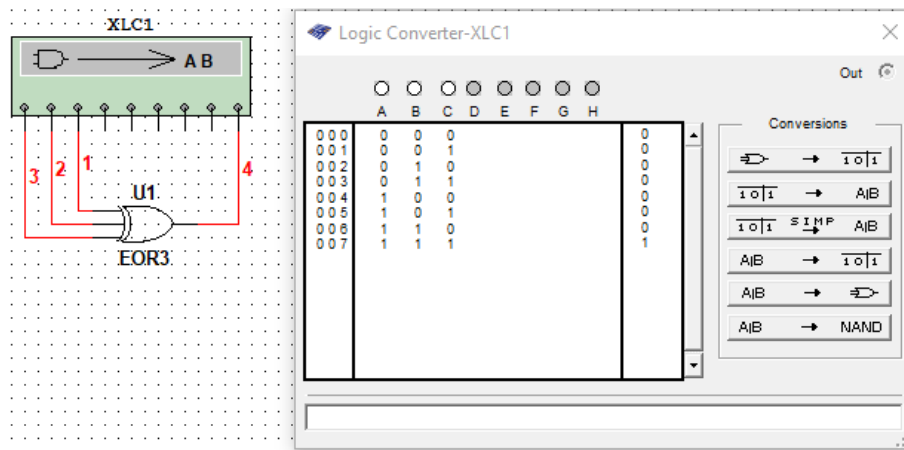


Рисунок 2.13 – Схема дослідження логічного елемента EOR3

10. Результати досліджень відобразити у звіті. За отриманими результатами сформулюйте висновки.

Контрольні запитання

1. Сформулювати аксіоми та закони алгебри логіки.
2. Дати означення теореми де-Моргана.
3. У чому полягає синтез логічних схем?
4. У чому полягає мінімізація логічних схем?
5. Як побудувати таблицю істинності логічного компоненту або схеми?
6. Якими параметрами визначається кількість входів у цифрових елементів?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) навести отримані таблиці істинності;
- 3) схему дослідження кожного цифрового елемента;
- 4) отримані результати досліджень;
- 5) висновки, що базуються на аналізі отриманих результатів.

Лабораторна робота №3

ДОСЛІДЖЕННЯ ДЕШИФРАТОРІВ ТА ШИФРАТОРІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи шифраторів та дешифраторів, реалізованих на логічних елементах та у вигляді інтегральних схем.

Теоретичні відомості

Дешифратор

Дешифратор (декодер) – це комбінаційний пристрій з декількома входами і виходами, який вхідний сигнал у вигляді n -розрядного двійкового слова перетворює в одиничний сигнал на одному з виходів. Принцип роботи дешифратора на два входи пояснює рисунок 3.1, а.

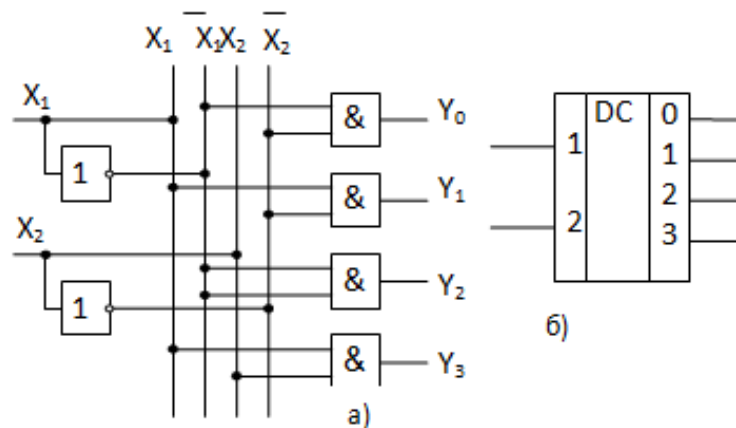


Рисунок 3.1 – Логічна структура дешифратора (а),
і його умовне позначення (б)

На виходах дешифратора виробляються сигнали таких булевих функцій: $y_0 = \overline{x_1} \cdot \overline{x_2}$; $y_1 = x_1 \cdot \overline{x_2}$; $y_2 = \overline{x_1} \cdot x_2$; $y_3 = x_1 \cdot x_2$.

Дешифратор можна розглядати як демультиплексор, у якого на інформаційному вході x є сигнал логічної одиниці, а адресні входи A і B є інформаційними входами. Отже, між дешифратором і демультиплексором немає принципової різниці. Якщо на інформаційному вході x сигнал змінюється в часі, то це демультиплексор, якщо постійний – то дешифратор.

Розрізняють повні і неповні дешифратори.

На практиці часто використовуються неповні дешифратори, що передбачають декодування лише окремих комбінацій вхідних сигналів.

Шифратори

Шифратори використовують для розв'язку задач зворотних до дешифрації, тобто перетворюють код «1 із N » у двійковий код. Повний шифратор має 2^n входів і n виходів.

Одне із основних застосувань шифратора – ввід даних з клавіатури, при якому натискання на клавішу з десятковою цифрою повинно приводити до передачі в устаткування цієї цифри у двійковому коді (десять у чотири). На рисунку 3.2, а зображено шифратор, що перетворює двійкову систему числення на десяткову.

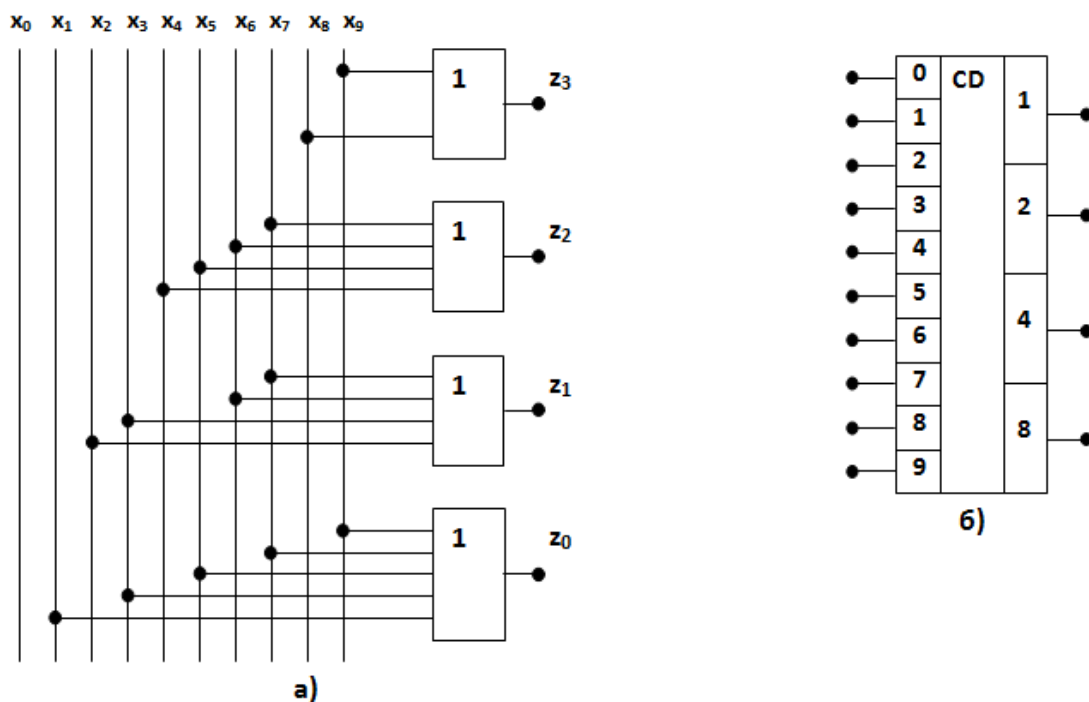


Рисунок 3.2 – Структурна схема шифратора, що перетворює двійкову систему числення у десяткову – а, умовне позначення шифратора – б

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.

3. На панелі компонентів в розділі «Логічні мікросхеми» CMOS виберіть інвертори та в розділі «Цифрові мікросхеми» оберіть елементи AND2. Виконайте моделювання схеми 2-розрядного дешифратора, зображеної на рисунку 3.3.

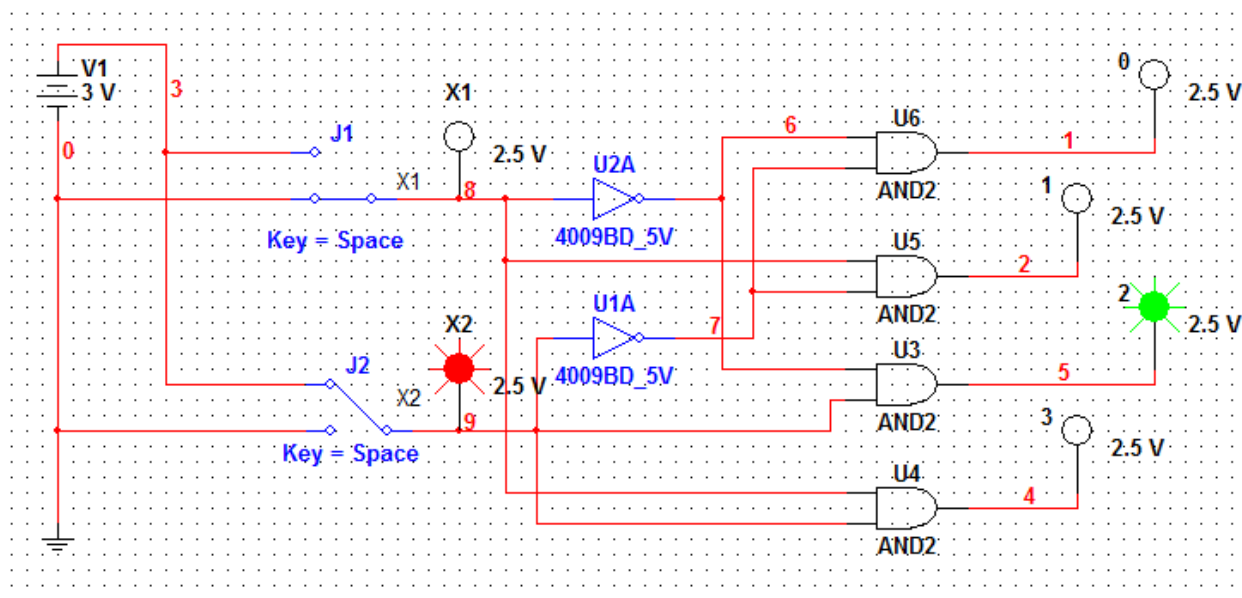


Рисунок 3.3 – Схема дослідження 2-розрядного дешифратора

4. Увімкніть схему. Послідовно подайте за допомогою ключів J1 та J2 на схему комбінації входних сигналів, наведених в таблиці 3.1. На основі отриманих на виході результатів заповніть таблицю істинності. Сформулюйте висновки.

Таблиця 3.1

X1	X2	0	1	2	3
0	0				
0	1				
1	0				
1	1				

5. На панелі компонентів у розділі «Цифрові мікросхеми (TIL)» оберіть елемент DCD_3TO8.

6. Виконайте моделювання схеми 3-розрядного дешифратора, зображеної на рисунку 3.4.

7. Частоту синхронізації генератора слів та логічного аналізатора встановіть рівною 1 кГц (рисунок 3.5).

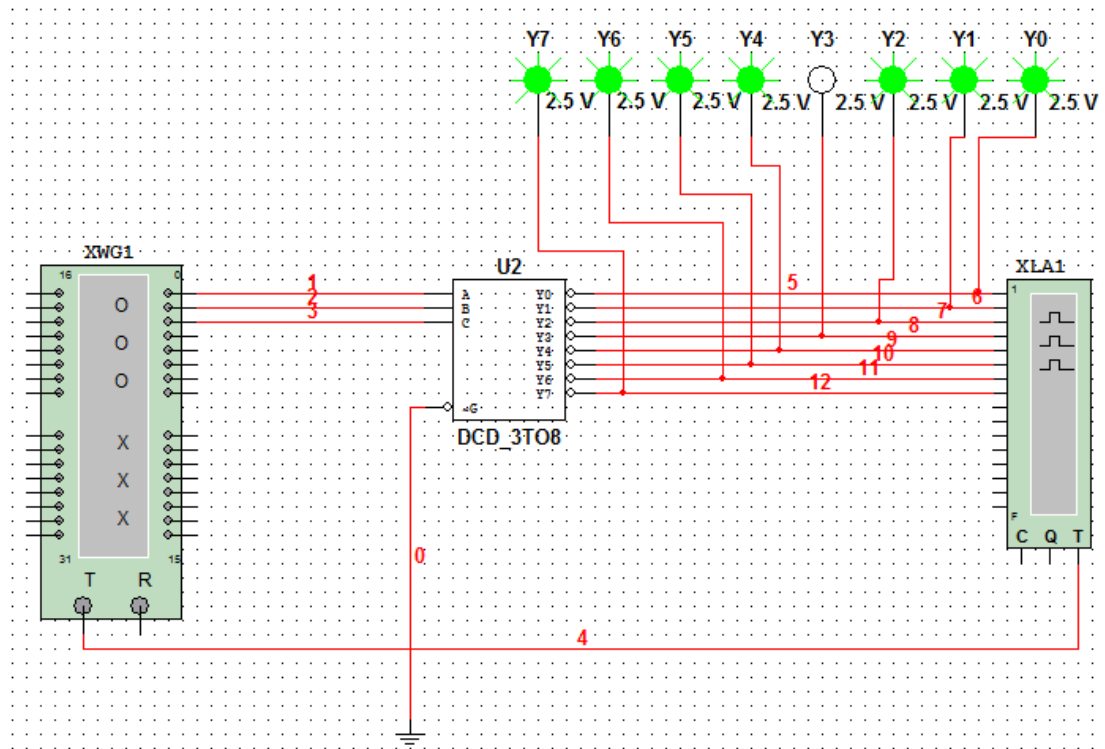


Рисунок 3.4 – Схема дослідження 3-розрядного дешифратора

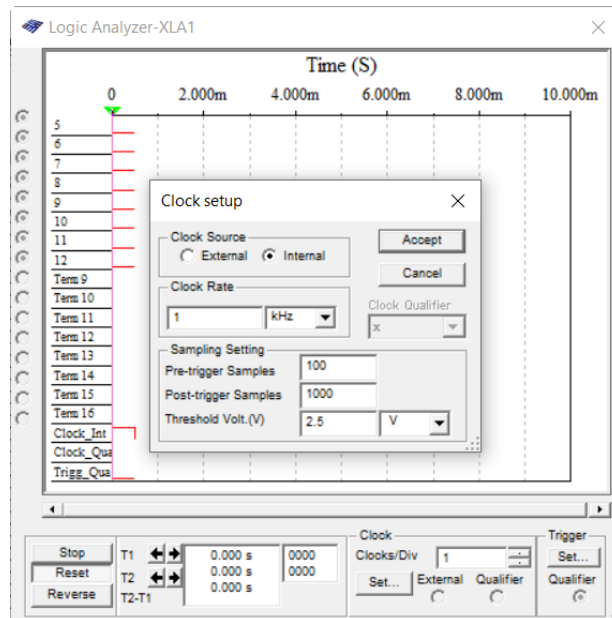


Рисунок 3.5 – Встановлення частоти синхронізації

8. На вхід схеми дешифратора подати сигнали з генератора слів (запрограмувавши у відповідності до таблиці 3.2). На індикаторах для спостереження відображаються значення на виході дешифратора в оберненому коді. На виході схеми логічний аналізатор використати для дослідження часових діаграм роботи.

9. Введення двійкових чисел в генератор слів виконати вручну, як показано на рисунку 3.6.

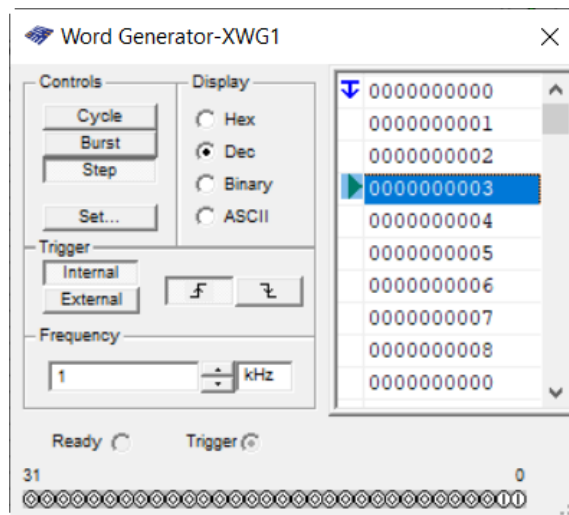


Рисунок 3.6 – Програмування генератора двійкових слів

Таблиця 3.2

Генероване слово	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
000								
001								
010								
011								
100								
101								
110								
111								

10. Запустити процес моделювання в режимі «покроково» і стежити за показами індикаторів. Записати результат в таблицю. За допомогою логічного аналізатора відобразити часові діаграми та оформити висновки.

11. На панелі компонентів в розділі «Цифрові мікросхеми (TIL)» оберіть 4-розрядний шифратор ENC_10TO4. Виконайте моделювання схеми дослідження шифратора, зображеної на рисунку 3.7.

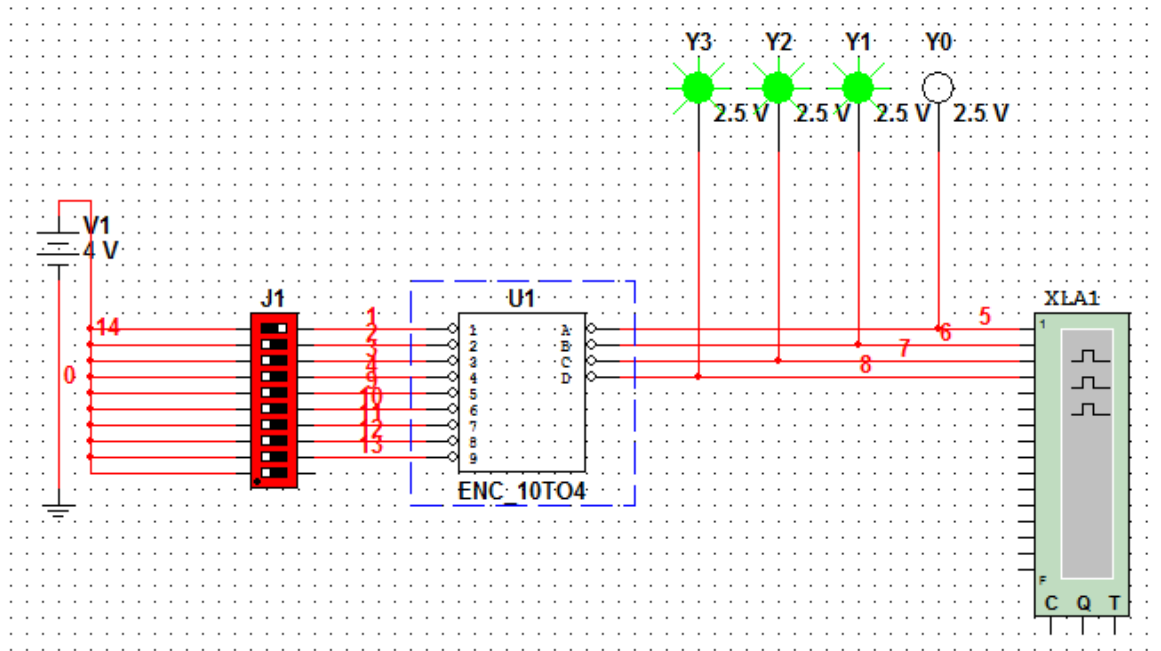


Рисунок 3.7 – Схема дослідження 4-розрядного шифратора

12. Увімкніть схему. Послідовно подайте за допомогою ключа J1 на вхід шифратора сигнали, наведені в таблиці 3.3. На основі отриманих результатів на виході заповніть таблицю істинності. Сигнали на виході шифратора отримуємо в оберненому коді. Сформулюйте висновки.

Таблиця 3.2

Вхід	Y3	Y2	Y1	Y0	Прямий код	Значення
1						
2						
3						
4						
5						
6						
7						
8						
9						
0						

Контрольні запитання

1. Наведіть визначення шифратора та дешифратора.
2. Які логічні елементи використовуються для побудови шифратора та дешифратора?
3. Поясніть принцип дії дешифратора.
4. Поясніть принцип дії шифратора.
5. У яких режимах роботи може працювати генератор слів?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження;
- 3) навести в таблицях отримані результати та відобразити часові діаграми роботи;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

Лабораторна робота №4

ДОСЛІДЖЕННЯ МУЛЬТИПЛЕКСОРІВ ТА
ДЕМУЛЬТИПЛЕКСОРІВ

Мета роботи: Ознайомитися з принципом побудови та логікою роботи мультимплексорів та демультимплексорів, реалізованих на логічних елементах.

Теоретичні відомості

Мультимплексор – це пристрій, що забезпечує комутацію на виході одного із декількох інформаційних вхідних сигналів відповідно до заданого коду на входах керування.

Двовходовий мультимплексор (2: 1)

На рисунку 4.1 показано умовне графічне позначення і таблиця істинності для двовходового мультимплексора (2:1) з двома входами даних D_0 і D_1 , входом вибору S і одним виходом Y . Мультимплексор передає на вихід один з двох вхідних сигналів даних, ґрунтуючись на сигналі вибору: якщо $S = 0$, вихід $Y = D_0$, і якщо $S = 1$, то вихід $Y = D_1$. S також називають керуючим сигналом, так як він керує поведінкою мультимплексора.

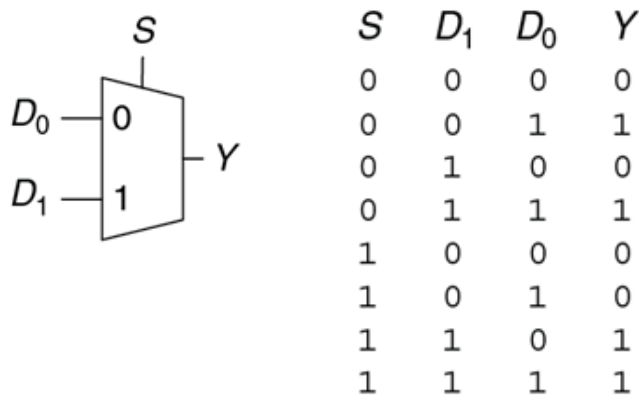


Рисунок 4.1 – Графічне позначення та таблиця істинності для двовходового мультимплексора (2:1)

Двовходовий мультимплексор може бути побудований з використанням диз'юнкції кон'юнкцій (суми добутків), як показано на рисунку 4.2. Логічний вираз для нього можна отримати за допомогою карт Карно або скласти на основі опису ($Y = 1$ якщо $S = 0$ і $D_0 = 1$ АБО якщо $S = 1$ і $D_1 = 1$).

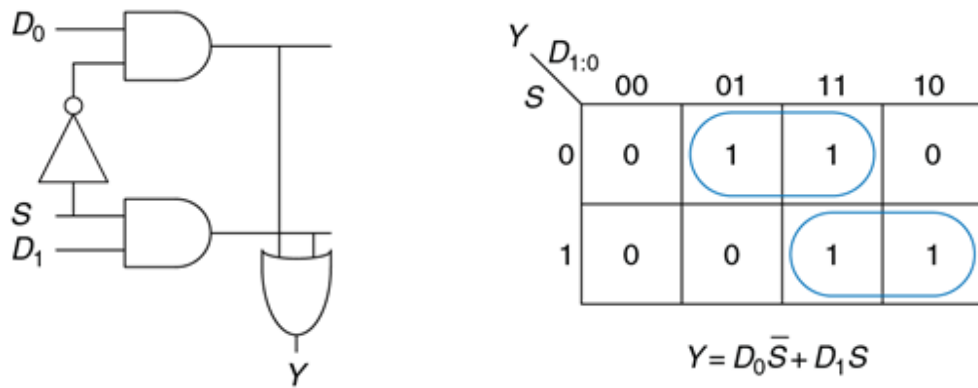


Рисунок 4.2 – Принципова електрична схема та карта Карно для двовходового мультиплексора (2:1)

Багатовходові мультиплексори

Чотиривходовий мультиплексор (4:1) має чотири входи даних і один вихід. Для вибору одного з чотирьох входів даних потрібний дворозрядний керуючий сигнал. Чотиривходовий мультиплексор може бути побудований з використанням диз'юнкції кон'юнкцій (суми добутків), як показано на рисунку 4.3.

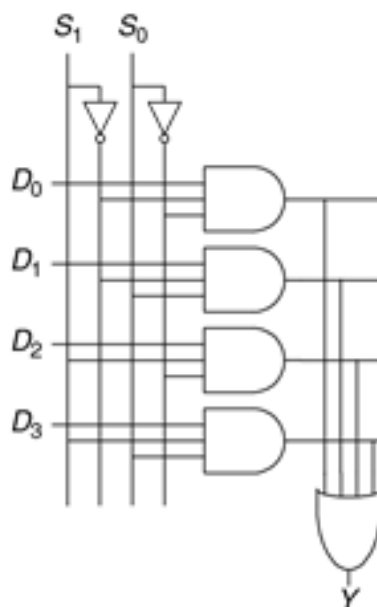


Рисунок 4.3 – Принципова електрична схема чотиривходового мультиплексора (4:1)

Мультиплексори з великим числом входів, наприклад восьмивходовий або шістнадцятиходовий, можуть бути побудовані простим масштабуванням методів, показаних на рисунку 4. У загальному

випадку, мультиплексор $N:1$ вимагає $\log_2 N$ керуючих сигналів. Вибір найкращої реалізації, як і раніше, залежить від технології, що використовується.

Мультиплексори можна розглядати як перетворювачі паралельної інформації у послідовну. Мультиплексори на велику кількість входів можна будувати із мультиплексорів з меншою кількістю входів.

Мультиплексори можуть використовуватися як таблиці перетворення (lookup tables) для виконання логічних функцій. На рисунку 4.4 показаний чотиривходовий мультиплексор, який використовується для реалізації двовходового елемента I .

Входи A і B служать керуючими лініями. Входи даних мультиплексора підключені до 0 і 1 згідно із відповідним рядком таблиці істинності. Взагалі, $2N$ -входовий мультиплексор можна запрограмувати для виконання будь-якої N -входової логічної функції, використовуючи 0 і 1 для відповідних входів даних.

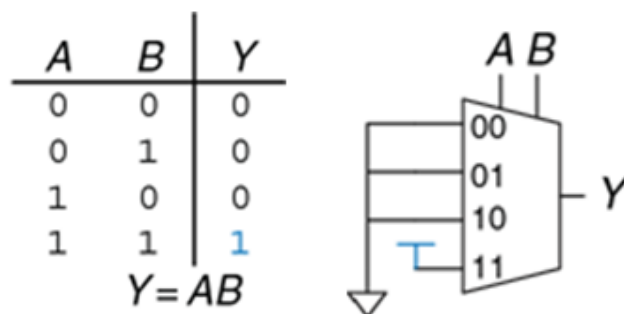


Рисунок 4.4 – Реалізація логічного елемента $2I$ з використанням чотиривходового мультиплексора (4:1)

Зміною вхідних даних мультиплексор може бути перепрограмований для виконання різних функцій.

Демультимплексор

Демультимплексори – це пристрої, призначені для комутації інформаційного вхідного сигналу в одному із декількох виходів відповідно до заданого коду на керуючих входах.

Іншими словами, демультимплексори розв'язують завдання, обернені до завдань мультиплексорів. Умовне позначення демультимплексора на чотири інформаційні входи показано на рисунку 4.5.

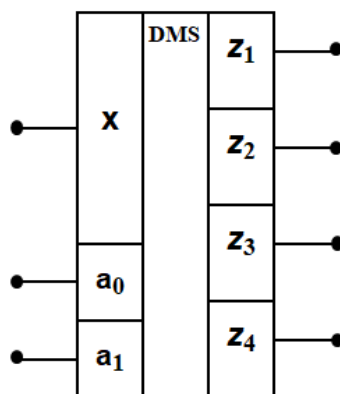


Рисунок 4.5 – Умовне позначення демультимплексора на чотири виходи

Формули, що визначають формування вихідних сигналів такого демультимплексора наступні:

$$z_1 = \overline{a_0} \overline{a_1} x, \quad z_2 = \overline{a_0} a_1 x, \quad z_3 = a_0 \overline{a_1} x, \quad z_4 = a_0 a_1 x.$$

Такими виразами визначаються вихідні сигнали дешифратора, в якому використовується керування за входом x . Тому в якості демультимплексора можна використовувати дешифратор, у якому інформаційний вхідний сигнал поданий на вхід керування.

Демультимплексори використовують для таких операцій:

- комутації як окремих ліній, так і багаторозрядних шин;
- перетворення послідовного коду в паралельний;
- реалізації логічних функцій та інших.

Порядок виконання роботи

1. Запустіть Multisim.

2. Створіть новий файл для роботи.

3. Використовуючи схему чотиривходового мультиплексора, зображену на рисунку 4.6, побудуйте таблицю істинності роботи мультиплексора.

Таблиця 4.1

D0(A)	D1(B)	D2(C)	D3(D)	S1(E)	S0(F)	Y

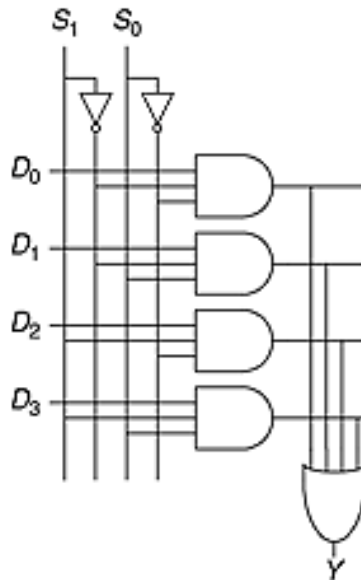


Рисунок 4.6 – Схема чотиривходового мультиплексора

4. На основі отриманої таблиці істинності запишіть УДНФ (мінімізований булевий вираз) вихідної функції.

5. Викликати на робоче поле прилад "Логічний Перетворювач" (Logic Converter). Введіть вираз в рядок перетворення (в якості входних змінних використовуйте позначення, які наведені в таблиці істинності в дужках) і натисніть кнопку реалізації схеми на логічних елементах (рисунок 4.7) або в базисі NAND.

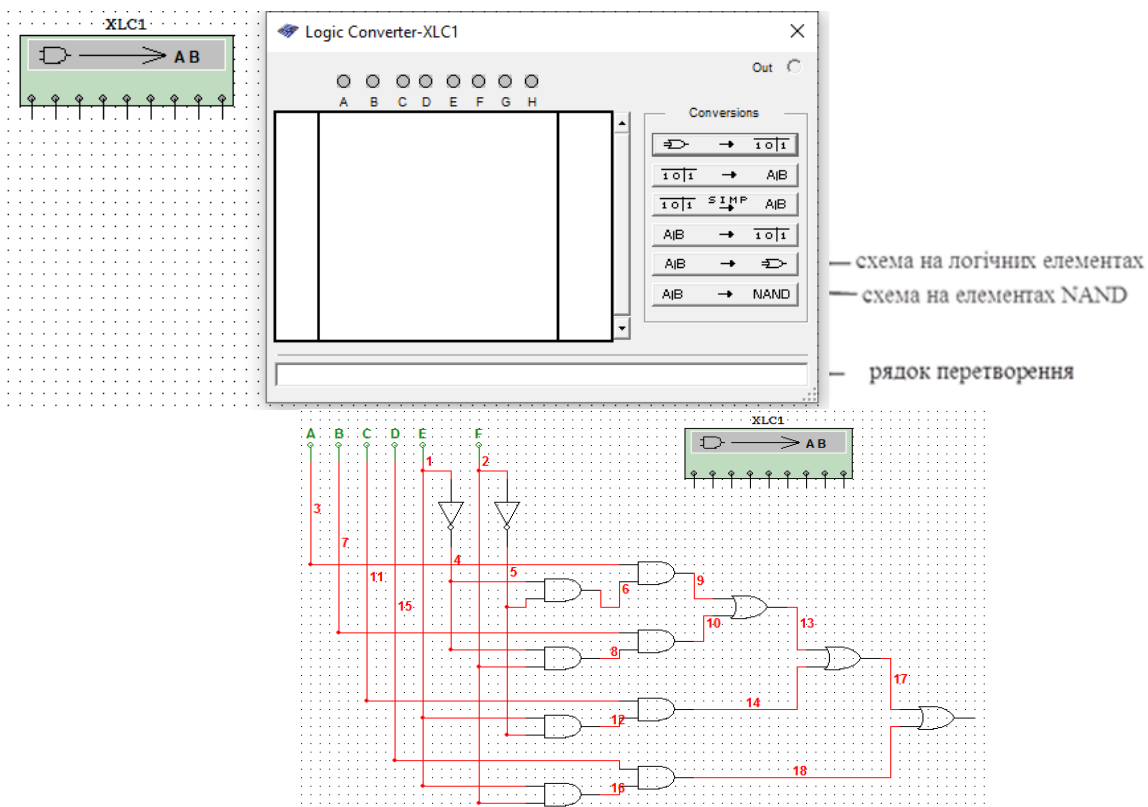


Рисунок 4.7 – Синтезована схема на логічних елементах

6. Синтезовану схему мультимплектора на 4 входи підключити до генератора слів і логічного аналізатора (рисунок 4.8). На адресні входи мультимплектора (E, F) послідовно подати всі можливі комбінації відповідної розрядності від 00 до 11, а на входи даних (A, B, C, D) послідовно у кожному такті подавати кодову комбінацію, наведену в таблиці 4.2 згідно номеру варіанту. Відповідно запрограмувати генератор слів. За допомогою логічного аналізатора зняти часові діаграми та зробити висновки.

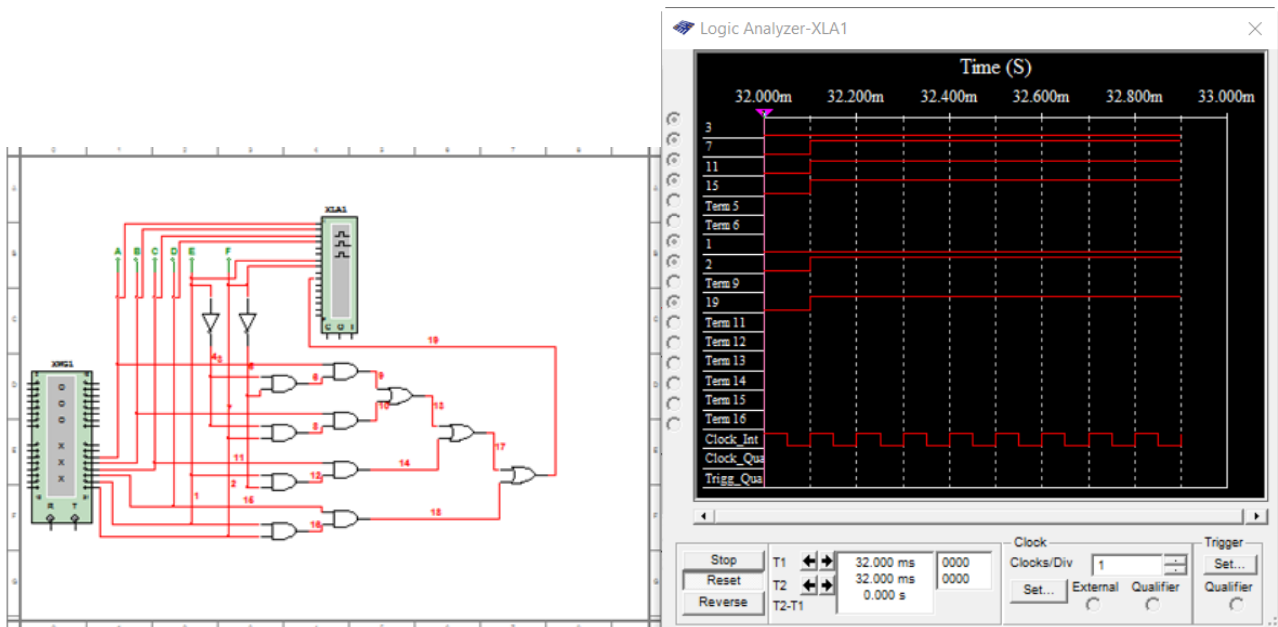


Рисунок 4.8 – Схема дослідження чотиривходового мультимплектора

Таблиця 4.2

№ варіанту	1	2	3	4	5	6	7	8
Кодова комбінація	0001	0010	0011	0100	0101	0110	0111	1000
№ варіанту	9	10	11	12	13	14	15	
Кодова комбінація	1001	1010	1011	1100	1101	1110	1111	

7. Використовуючи схему демультимплектора на 4 виходи, зображену на рисунку 4.9, побудуйте таблицю 4.3 істинності роботи демультимплектора.

Таблиця 4.3

D (A)	S1(B)	S0(C)	Y0	Y1	Y2	Y3

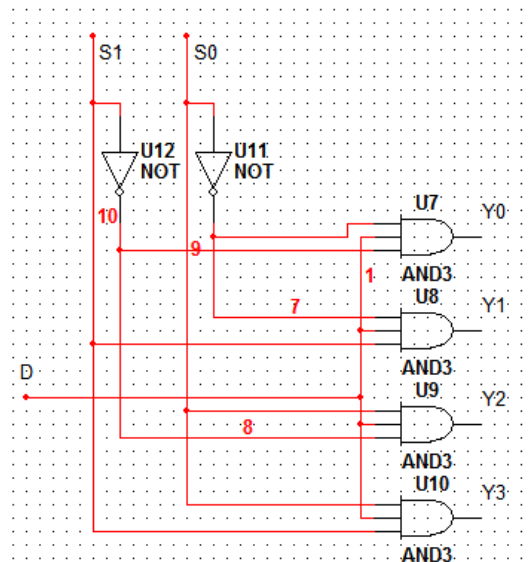


Рисунок 4.9 – Схема демультиплексора на чотири виходи

8. На основі отриманої таблиці істинності запишіть мінімізований булевий вираз вихідної функції та реалізуйте схему за допомогою "Логічного Перетворювача". Послідовно під'єднуючи кожен вихід до логічного перетворювача (рис. 4.10), здійсніть аналіз роботи схеми. Сформулюйте висновки.

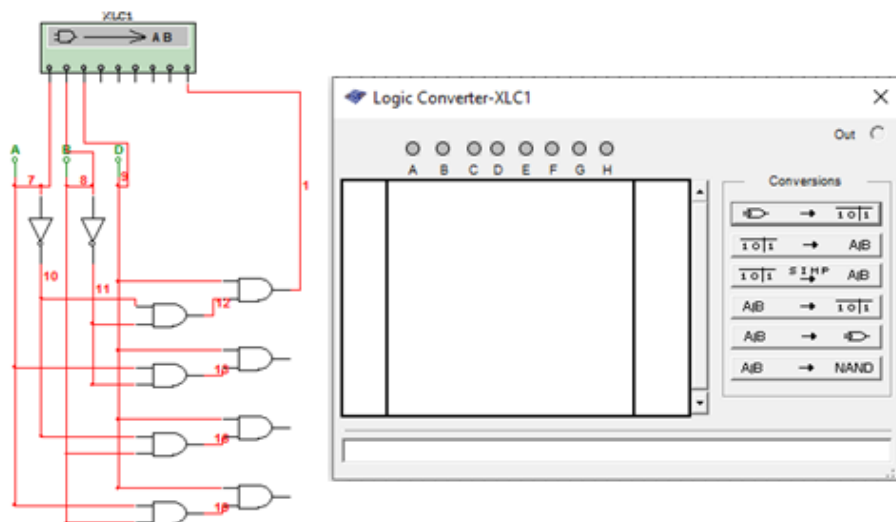


Рисунок 4.10 – Схема дослідження демультиплексора

9. Синтезовану схему демультимплексора підключити до генератора слів і логічного аналізатора (рисунок 4.11). На адресні входи мультимплексора (A, B) послідовно подати всі можливі комбінації відповідної розрядності від 00 до 11, при значенні на вході даних D = 0 та D = 1. Відповідно запрограмувати генератор слів. За допомогою логічного аналізатора зняти часові діаграми та сформулювати висновки.

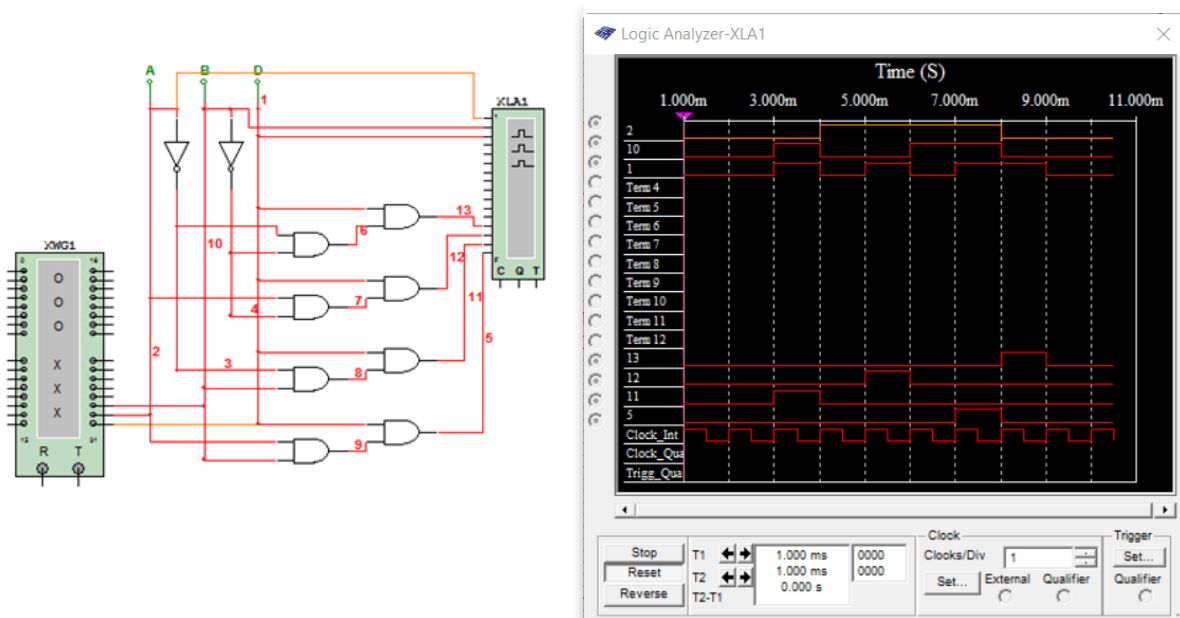


Рисунок 4.11 – Дослідження демультимплексора з використанням логічного аналізатора

11. Зробіть загальні висновки щодо проведеного моделювання.

Контрольні запитання

1. Наведіть визначення мультимплексора та демультимплексора.
2. Поясніть принцип дії мультимплексора.
3. Поясніть принцип дії демультимплексора.
4. Принцип каскадування мультимплексорів.
5. Реалізація логічних функцій мультимплексорами.
6. Реалізація логічних функцій демультимплексорами.

Вимоги до оформлення звіту лабораторної роботи

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) навести отримані таблиці істинності та мінімізовані булеві вирази на основі даних таблиць;
- 3) синтезовані схеми мультиплексора та демультимплексора;
- 4) схеми дослідження мультиплексора та демультимплексора та отримані часові діаграми;
- 5) висновки, що базуються на аналізі отриманих результатів.

Лабораторна робота №5

ДОСЛІДЖЕННЯ ТРИГЕРІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи тригерів "RS, D, T, JK", реалізованих на логічних елементах і у вигляді інтегральних схем.

Теоретичні відомості

Тригером називається пусковий пристрій (рисунок 5.1), на двох виходах якого в момент впливу керуючих імпульсних сигналів $U_{\text{кер}}$ виникають стрибки напруги $U_{\text{вих1}}$ та $U_{\text{вих2}}$. Двом рівням вихідної напруги, значення яких умовно показані у вигляді "0" та "1", відповідають два рівні стійкої рівноваги. Отже, після закінчення дії керуючих імпульсних сигналів тригер має властивість зберігати двійкову інформацію, що є дуже важливим в імпульсній цифровій техніці. Тригери – пристрої, які характеризуються двома стійкими станами рівноваги, а стрибкоподібний перехід із одного стану в інший здійснюється за наявності зовнішнього керуючого імпульсу (сигналу).

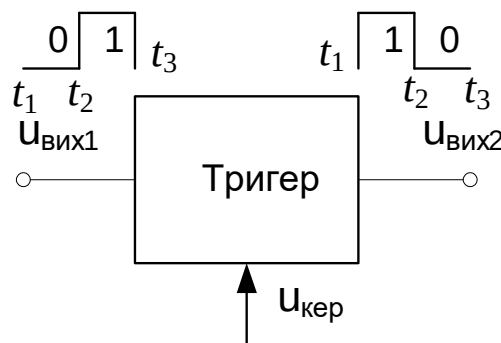


Рисунок 5.1 – Структурна схема тригера

В інтервалі часу $t_1 - t_2$ $U_{\text{вих1}}$ відповідає нульовому рівню напруги, а $U_{\text{вих2}}$ – одиничному (перший стан стійкої рівноваги). В такому стані спокою тригер може перебувати як завгодно довго до надходження керуючого імпульсу. Після надходження на вхід тригера в момент часу t_2 керуючого імпульсу рівні напруг на обох виходах змінюються на протилежні (другий стан стійкої рівноваги – інтервал часу $t_2 - t_3$). Отже, сигнали на двох виходах тригера, один з яких називають прямим, а другий – інверсним, змінюються у протифазі.

Цифровий тригер вміщує власне тригер і логічний пристрій керування, який визначає функціональні можливості тригера. Структурна

схема цифрового тригера зображена на рисунку 5.2. Пристрій керування (ЛПК) перетворює інформацію, що надходить до входів A_i , в сигнали, які керують власне тригером. В цій схемі тригер можна вважати елементом пам'яті, який ніби записує отриману інформацію.

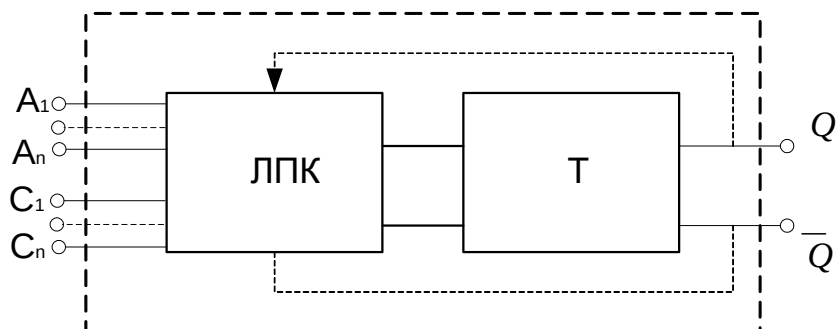


Рисунок 5.2 – Структурна схема цифрового тригера

В залежності від способу запису інформації тригери поділяються на асинхронні (несинхронізовані) й синхронні (синхронізовані). В асинхронних тригерах інформація записується безпосередньо в момент її надходження до входів A_i , в синхронних тригерах – лише за подачею синхронізуючого (тактуючого) сигналу до спеціально передбачених тактових входів C .

Між інформаційними сигналами на входах тригера і його станом є визначений логічний зв'язок, який задається таблицею переходів.

Асинхронний RS-тригер

Для створення асинхронного тригера достатньо двох однотипних логічних елементів. Найчастіше RS-тригери виконують на логічних елементах І–НІ чи АБО–НІ. Умовні графічні позначення RS-тригера з прямим та інверсним входами показані відповідно на рисунку 5.3, а, б.

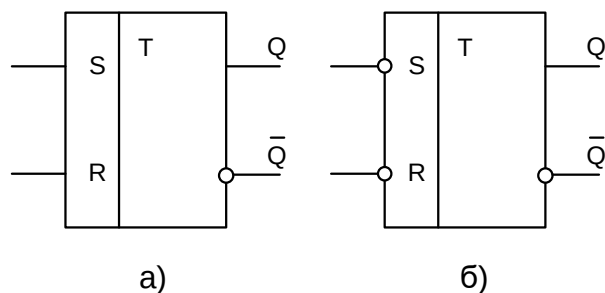


Рисунок 5.3 – Графічні позначення RS-тригера
а) з прямим входом б) з інверсним входом

RS-тригер характеризується двома станами: логічною 1 і логічним 0. У стані логічної 1 $Q = 1$, $\bar{Q} = 0$, а в стані логічного нуля $Q = 0$ та $\bar{Q} = 1$. В стані логічної 1 тригер встановлюється за інформаційним входом S (від англійського слова *set* – встановлювати). Відновлення тригера в початковому стані логічного 0 відбувається за інформаційним входом R (*reset* – відновлювати). RS-тригер, що спрацьовує за зміни вхідного сигналу від 0 до 1, тобто запускається сигналами, які відповідають стану 1 (позитивна логіка), є тригером з прямими входами. Якщо ж тригер спрацьовує, коли змінюється вхідний сигнал від 1 до 0, тобто запускається сигналами, що відповідають стану 0 і з'являються на одному із входів (негативна логіка), то тригер називають тригером з інверсними входами. Необхідно відзначити, що функції переходів RS-тригерів з прямими та інверсними входами аналогічні.

Закон функціонування тригера змальовується таблицею переходу (рисунок 5.4), де R – та S – інформаційні сигнали на вході тригера; Q^n – стан тригера на прямому виході до появи на входах інформаційних сигналів; Q^{n+1} – стан тригера на прямому виході після появи інформаційних сигналів (після його перемикання).

n S	n R	n Q	n+1 Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

Рисунок 5.4 – Таблиця переходів RS-тригера з прямими входами

де X – невизначений стан на виході тригера.

Комбінація сигналів $S = "1"$ і $R = "1"$ є забороненою, тому що стан тригера буде невизначеним (або "0" або "1").

Синхронний RS-тригер

У синхронному RS-тригері інформація, що подається до інформаційних входів S та R, записується лише після надходження сигналу синхронізації C.

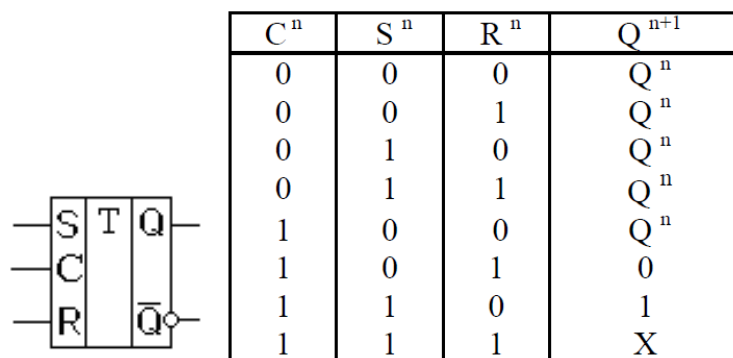


Рисунок 5.5 – Графічне позначення та таблиця переходу синхронного RS-тригера

Синхронний тригер має ту ж логіку функціонування, проте зміна стану відбувається тільки тоді, коли на вході C сигнал приймає значення «1», дозволяючи сигналу $S = 1$ або $R = 1$ пройти на елемент пам'яті через входні вентиля І.

D-тригер

Назва D-тригера походить від англійського слова *delay* – затримка. В літературі цей тригер часто називають тригером затримки. Він має один інформаційний вхід (рисунок 5.6 а, б) і працює за найпростішою логікою, яка відповідає таблиці переходів (рис. 5.6 в). Як видно з таблиці, стан на виході тригера відповідає стану на вході. Але D-тригер передає до виходу інформацію, що надійшла до його входу після появи синхронізуючого імпульсу. Тому момент зміни вихідної інформації затримується відносно моменту зміни входної інформації. Отже, коли подається синхронізуючий імпульс $C = 1$, у тригері записується інформація, яка до цього часу існувала на інформаційному вході D. Ця властивість D-тригера дозволяє широко використовувати його для побудови регістрів.

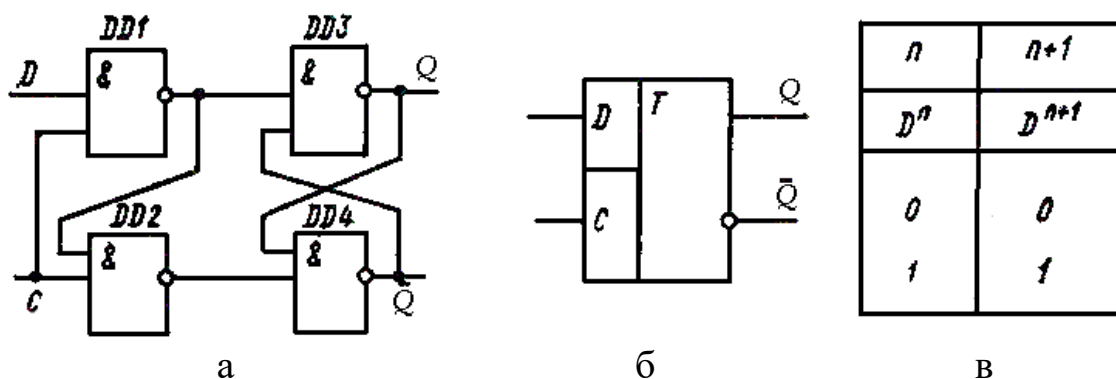


Рисунок 5.6 – D-тригер

а) схема; б) графічне позначення; в) таблиця переходів

Т-тригери

Назва походить від англійського слова *toggle* – перевертатися. Т-тригери, як і попередні, відносяться до тригерів з одним інформаційним лічильним входом. Логіка функціонування Т-тригера визначається таблицею переходів (рисунок 5.7), з яких виходить, що за відсутності інформаційних сигналів ($T = 0$) тригер зберігає попередній стан і змінює його на протилежний інверсний, коли подаються інформаційні сигнали ($T = 1$). Т-тригери застосовують для поділу частоти імпульсів. Крім того, сам термін "з лічильним входом" свідчить про те, що Т-тригер широко використовують в лічильниках імпульсів.

T_n	Q_n	Q_n^{+1}
0	0	0
0	1	1
1	0	1
1	1	0

Рисунок 5.7 – Таблиця переходів Т-тригера

JK-тригери

JK-тригери – це синхронні універсальні тригери з двома інформаційними входами. Умовне позначення JK-тригера зі входом для синхронізації показано на рисунку 5.8, а. Його робота аналогічна роботі RS-тригера. Роль входів S та R відіграють відповідно входи J та K . Коли до одного із входів подається логічна 1, тригер встановлюється у стані 1 (коли $J = 1$) або логічного 0 (коли $K = 1$) незалежно від початкового стану. Коли до входів одночасно подається логічна 1, тригер змінить попередній стан на обернений. Таким чином, JK-тригер повторює логіку RS-тригера, за винятком комбінації $J = 1, K = 1$, яка не призводить до невизначеного стану, а здійснює інверсію попереднього стану тригера.

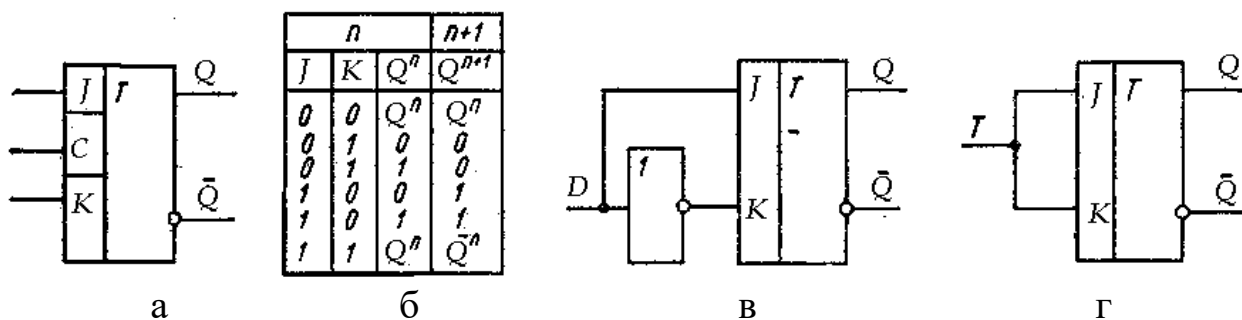


Рисунок 5.8 – JK-тригер. а) графічне позначення; б) таблиця переходів; в) реалізація D-тригера; г) реалізація Т-тригера

Універсальність JK-тригера виявляється в тому, що, змінюючи зовнішню комутацію, його можна перетворити в будь-який інший тип тригера: RS, D, T. Як RS-тригер він використовується за умови заборони комбінації $J = K = 1$. Для роботи як D-тригер вхід J через інвертор під'єднують до входу K (рис. 5.8, в) При цьому вхід J виконує функцію D-входу. T-тригер отримують, коли входи J та K з'єднані в один лічильний вхід T (рис. 5.8, г).

Порядок виконання роботи

1. Запустіть Multisim.

2. Підготуйте новий файл для роботи.

3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елементи NOR2. Виконайте моделювання схеми RS-тригера з прямими входами, зображеної на рисунку 5.9.

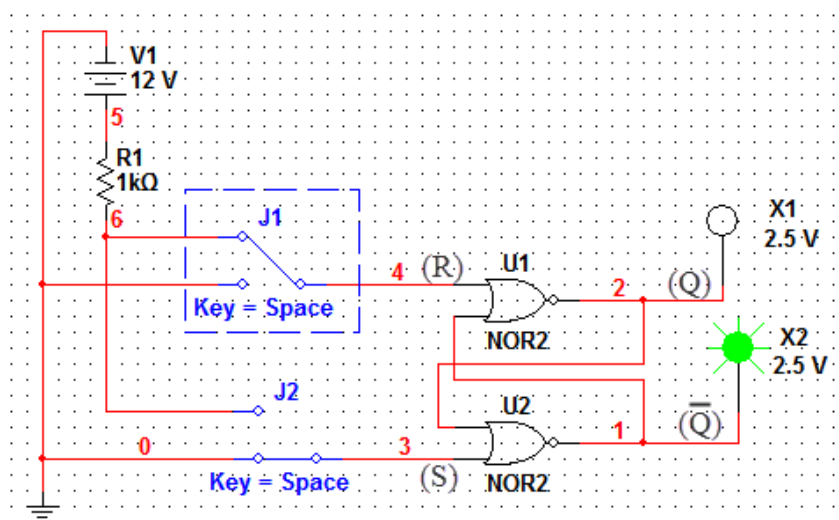


Рисунок 5.9 – Схема дослідження RS-тригера з прямими входами

4. Увімкніть схему. Послідовно подайте на схему наступні сигнали: $S = 0, R = 1$; $S = 0, R = 0$; $S = 1, R = 0$; $S = 0, R = 0$. На основі отриманих результатів на виході тригера заповніть таблицю переходів.

5. Подайте на схему наступні сигнали: $S = 1, R = 1$; Зробіть висновки.

6. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елементи NAND2. Виконайте моделювання схеми RS-тригера з інверсними входами, зображеної на рисунку 5.10.

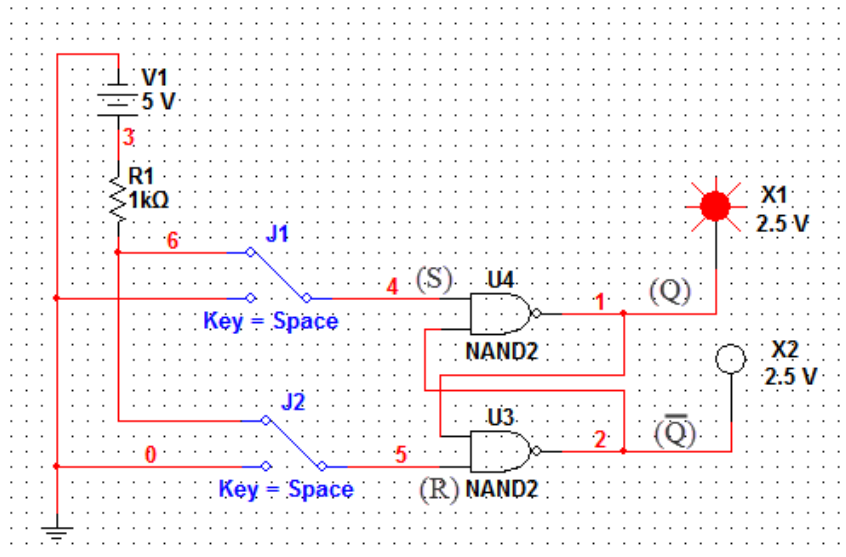


Рисунок 5.10 – Схема дослідження RS-тригера з інверсними входами

7. Увімкніть схему. Послідовно подайте на схему наступні сигнали: $S = 1, R = 0$; $S = 1, R = 1$; $S = 0, R = 1$; $S = 1, R = 1$. На основі отриманих результатів на виході тригера заповніть таблицю переходів.

8. Подайте на схему наступні сигнали: $S = 0, R = 0$. Підготуйте висновки.

9. Виконайте моделювання схеми D-тригера, зображеної на рисунку 5.11.

10. Увімкніть схему. Послідовно подайте на схему наступні сигнали: $D = 0, C = 0$; $D = 1, C = 0$; $D = 1, C = 1$; $D = 0, C = 1$. На основі отриманих результатів на виході тригера заповніть таблицю переходів. Сформулюйте висновки.

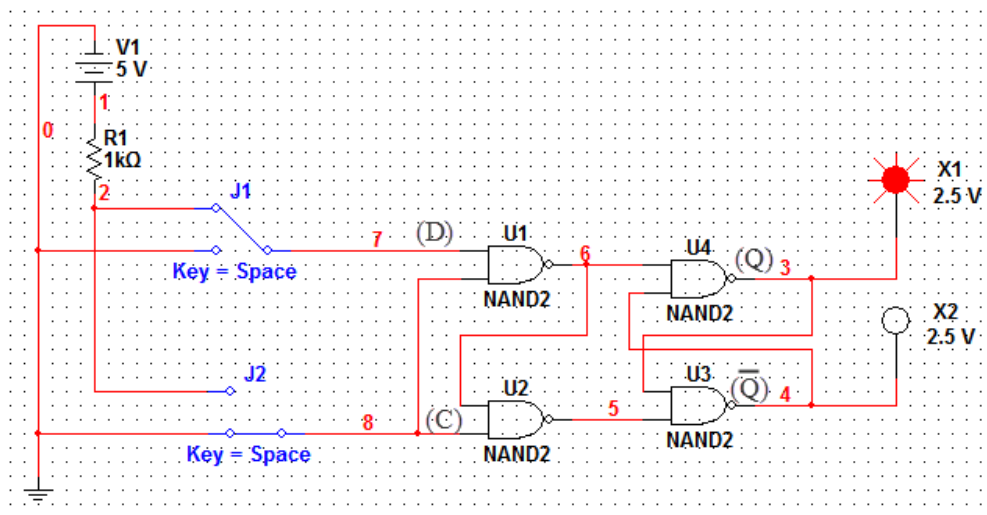


Рисунок 5.11 – Схема дослідження D-тригера

11. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент T_FF. Виконайте моделювання схеми Т-тригера, зображеної на рисунку 5.12.

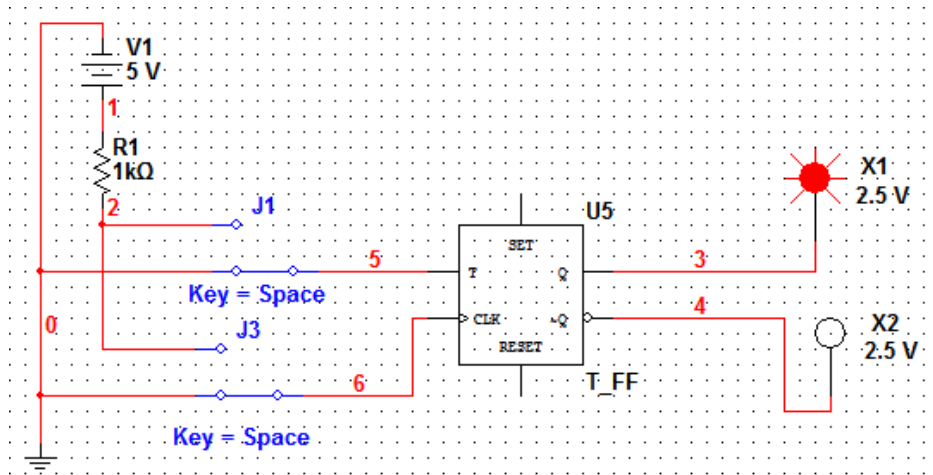


Рисунок 5.12 – Схема дослідження Т-тригера

12. Дослідіть функціонування Т-тригера, послідовно подаючи на схему наступні сигнали: $T = 1, CLK = 0$; $T = 1, CLK = 1$; $T = 1, CLK = 0$; $T = 1, CLK = 1$; $T = 0, CLK = 0$; $T = 0, CLK = 1$. Заповніть таблицю переходів та зробіть висновки.

13. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть елемент JK_FF. Виконайте моделювання схеми, зображеної на рисунку 5.13.

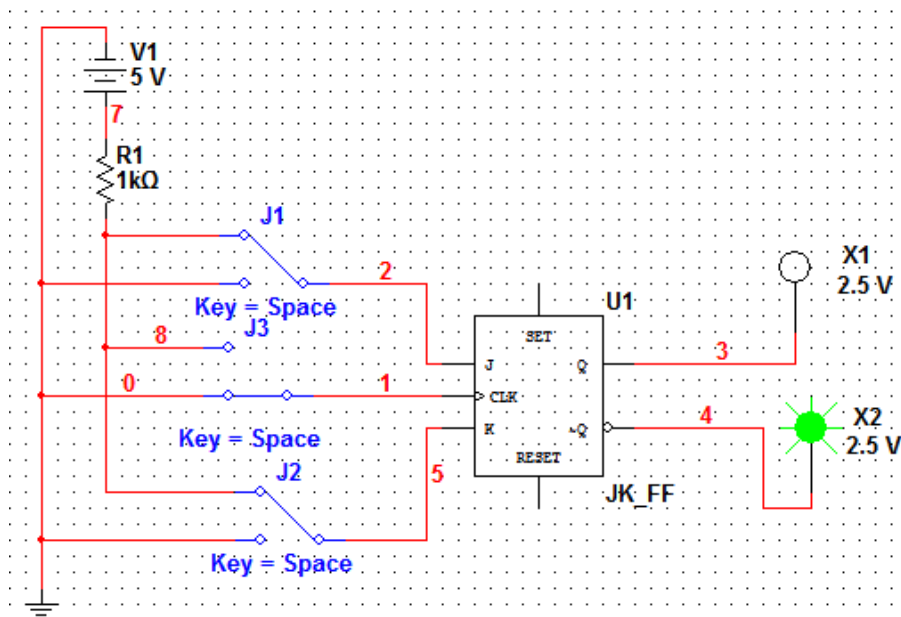


Рисунок 5.13 – Схема дослідження JK-тригера

14. Дослідіть функціонування JK-тригера, послідовно подаючи на входи JK сигнали 0 та 1, змінюючи значення $CLK = 0$; $CLK = 1$. Заповніть таблицю переходів та сформулюйте висновки.

Контрольні запитання

1. Наведіть визначення тригера.
2. Наведіть класифікацію тригерів.
3. Наведіть умовне позначення й часові діаграми роботи RS-тригера.
4. Наведіть умовне позначення й часові діаграми роботи D-тригера.
5. Яке призначення T-тригера?
6. Наведіть умовне позначення й часові діаграми роботи JK-тригера.
7. В чому різниця в принципах функціонування між синхронним RS-тригером та синхронним JK-тригером?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схему дослідження кожного цифрового тригера;
- 3) навести отримані таблиці переходів;
- 4) висновки, що базуються на аналізі отриманих результатів.

Лабораторна робота № 6

ДОСЛІДЖЕННЯ РЕГІСТРІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи реєстрів, реалізованих на тригерах та у вигляді інтегральних схем.

Теоретичні відомості

Регістрами називаються послідовнісні пристрої, що призначені для приймання, запам'ятовування, перетворення та передавання цифрової інформації.

Регістри забезпечують в загальному випадку виконання наступних мікрооперацій:

- 1) встановлення реєстра в нуль (скидання);
- 2) приймання слова з іншого реєстра, лічильника, суматора і т.д.;
- 3) передача слова на другий реєстр, суматор, лічильник і т.д.;
- 4) перетворення кодів слів, що зберігаються в інверсних кодах;
- 5) зсув слова вліво або вправо на потрібне число розрядів;
- 6) перетворення послідовного коду в паралельний і навпаки;

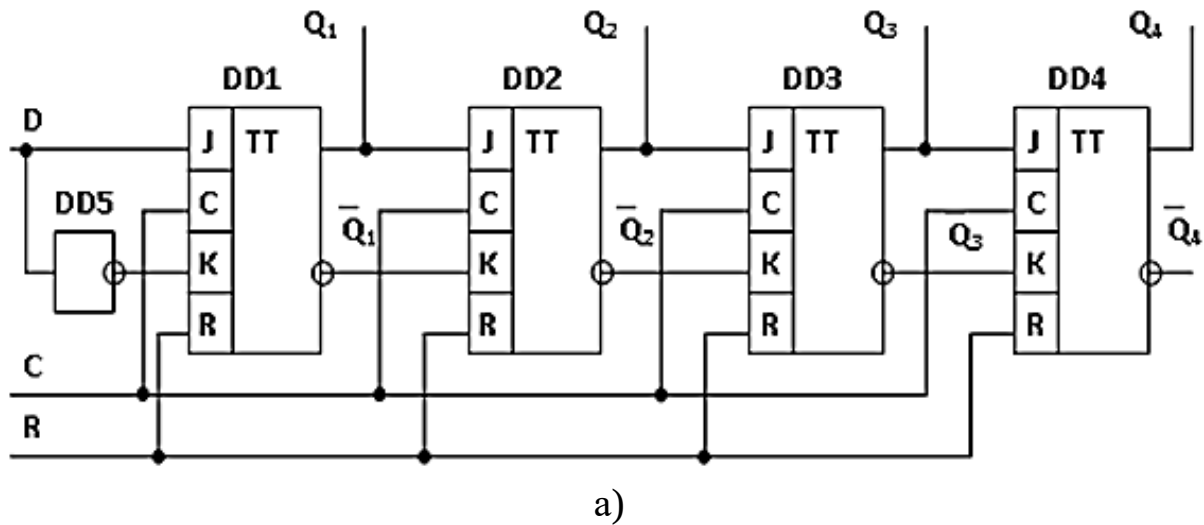
Залежно від введення інформації в реєстр і зчитування інформації з нього реєстри поділяються на:

- з послідовним входом і виходом (послідовні реєстри, реєстри зсуву (рисунок 6.1);
- з паралельним входом і виходом (паралельні реєстри, реєстри пам'яті (рисунок 6.2);
- комбіновані реєстри, що поєднують властивості послідовних і паралельних реєстрів.

Розрізняють синхронні й асинхронні реєстри. У синхронних реєстрах операції виконують по тактуючому сигналу С. В асинхронних реєстрах тактуючий вхід С відсутній.

Зсувним реєстром називають такий реєстр, який виконує мікрооперацію зсуву, а також мікрооперації прийому і видачі слів. Якщо дві останні мікрооперації реалізуються тільки в крайніх розрядах реєстра (1-м або n-м), то зсувний реєстр називають також послідовним реєстром.

При зсуві слова в регістрі, розряди слова, що вийшли за границі розрядної сітки регістра втрачаються, а розряди, що звільнилися заповнюються нулями.



C	Q1	Q2	Q3	Q4
1	D1			
2	D2	D1		
3	D3	D2	D1	
4	D4	D3	D2	D1

б)

Рисунок 6.1 – а) принципова електрична схема зсувного регістра;
б) таблиця функціонування

Регістр, котрий може здійснювати зсув слів як вліво, так і вправо, прийнято називати реверсивним. Зсувний регістр реалізує і перетворення послідовного коду в паралельний і навпаки.

Регістри пам'яті

N-розрядний регістр – набір з N тригерів із загальним тактовим сигналом. Таким чином, всі біти регістра оновлюються одночасно. Регістр є ключовим блоком при побудові більшості послідовних схем. На рисунку 2 показана схема і позначення 4-розрядного регістра з входами D3: 0 і виходами Q3: 0.

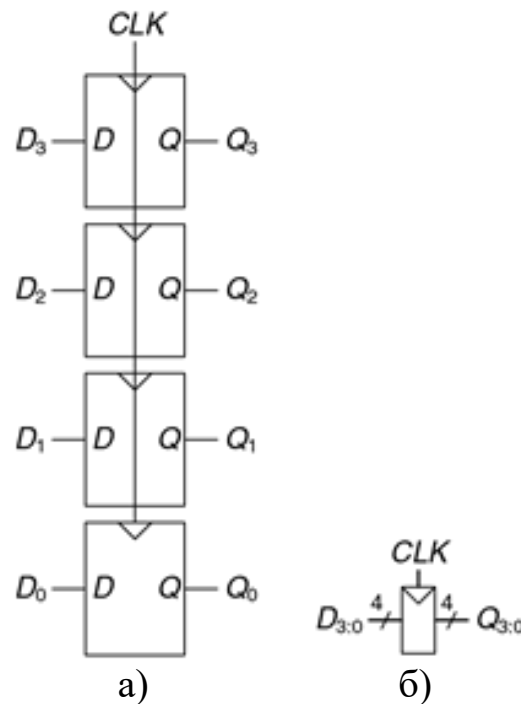


Рисунок 6.2 – 4-розрядний паралельний регістр (регістр пам'яті)
а) принципова схема; б) графічне позначення

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. На панелі компонентів в розділі CMOS оберіть інвертор та в розділі «Цифрові мікросхеми» оберіть тригер JK_FF. Виконайте моделювання схеми 4-розрядного зсувного регістра, зображеної на рисунку 6.3.

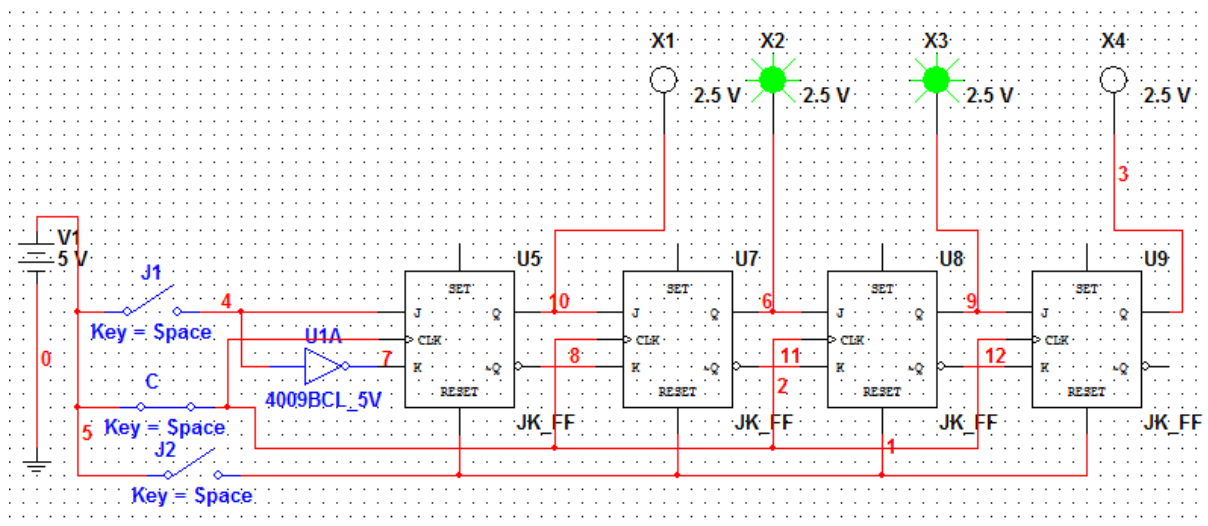


Рисунок 6.3 – Схема дослідження 4-и розрядного зсувного регістра

4. Увімкніть схему. Послідовно подавайте за допомогою ключів J1 та C послідовність імпульсів, наведених в таблиці 6.1. На основі отриманих результатів на виході заповніть таблицю. Зробіть висновки.

Таблиця 6.1

J1	C	X1	X2	X3	X4
1	1				
0	1				
1	1				
0	1				
1	1				
0	1				
0	1				
0	1				
1	1				

5. За допомогою ключа J2 перевірте встановлення регістра в нуль.

6. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть тригер D_FF. Виконайте моделювання схеми 4-розрядного паралельного регістра, зображеної на рисунку 6.4.

7. Послідовно подавайте за допомогою ключів послідовність імпульсів наведених в таблиці 6.2. На основі отриманих результатів на виході заповніть таблицю. Зробіть висновки.

Таблиця 6.2

J1	J2	J3	J4	C	X1	X2	X3	X4
0	0	0	1	1				
1	1	1	1	0				
1	1	0	0	1				
0	1	1	0	1				
1	1	0	0	0				
0	1	1	1	0				
1	1	1	1	0				
0	1	0	0	1				
1	1	1	0	1				

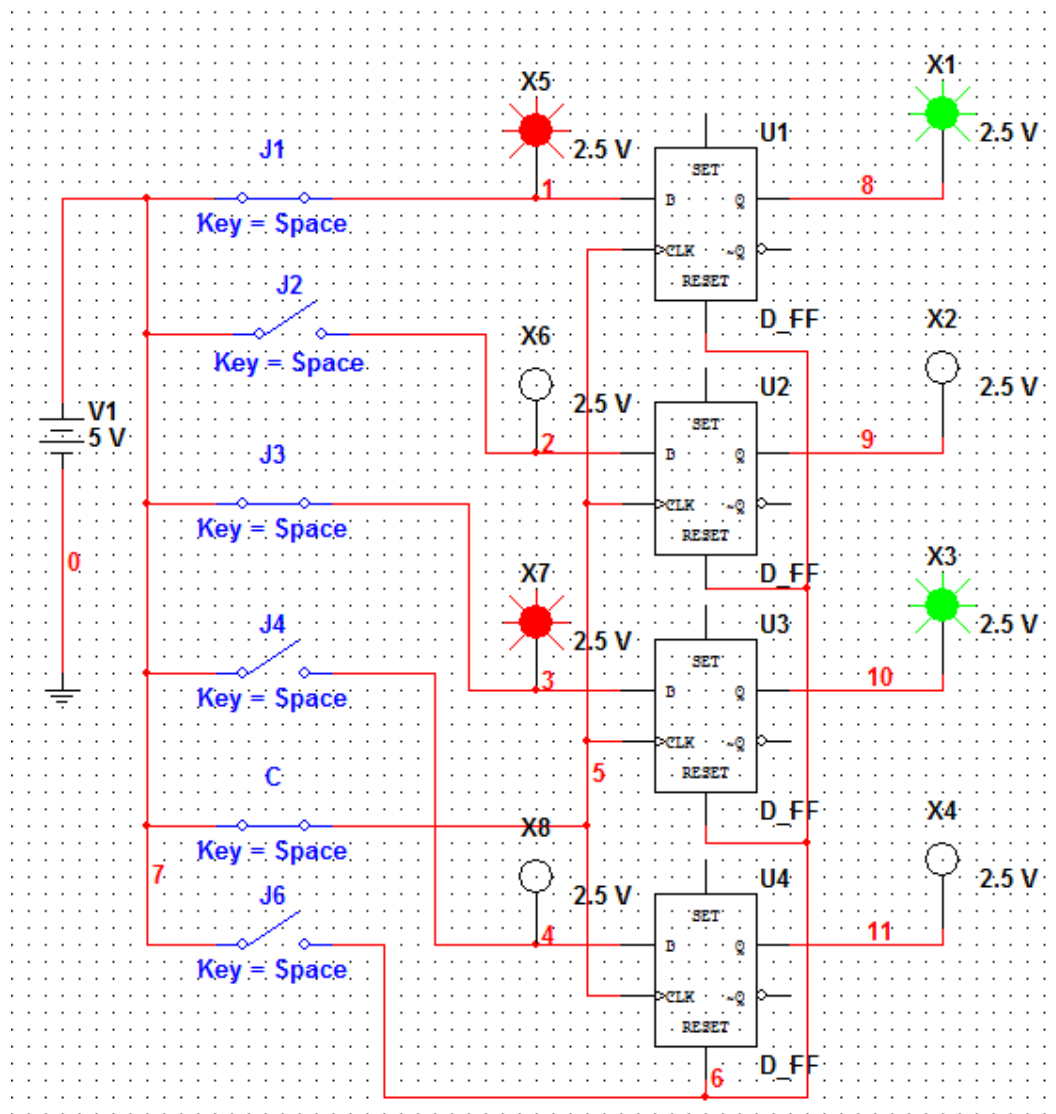


Рисунок 6.4 – Схема дослідження 4-розрядного паралельного регістра

8. За допомогою ключа J6 перевірте встановлення регістра в нуль після кожного нового запису в пам'ять двійкового слова. Зробіть висновки.

9. На панелі компонентів в розділі TTL 6-розрядний паралельний регістр 74S174N. Виконайте моделювання схеми, зображеної на рисунку 6.5.

10. За допомогою ключав J1 – J4, по чергово подайте на вхід 5 довільних 4-розрядних двійкових слів. Використовуючи ключ подачі синхроімпульсу C, дослідіть роботу мікросхеми. Результати запишіть у таблицю 6.3. Скидання в нуль мікросхеми відбувається на інверсному вході, тому при дослідженні ключ J6 замкнений (СТАН «1»).

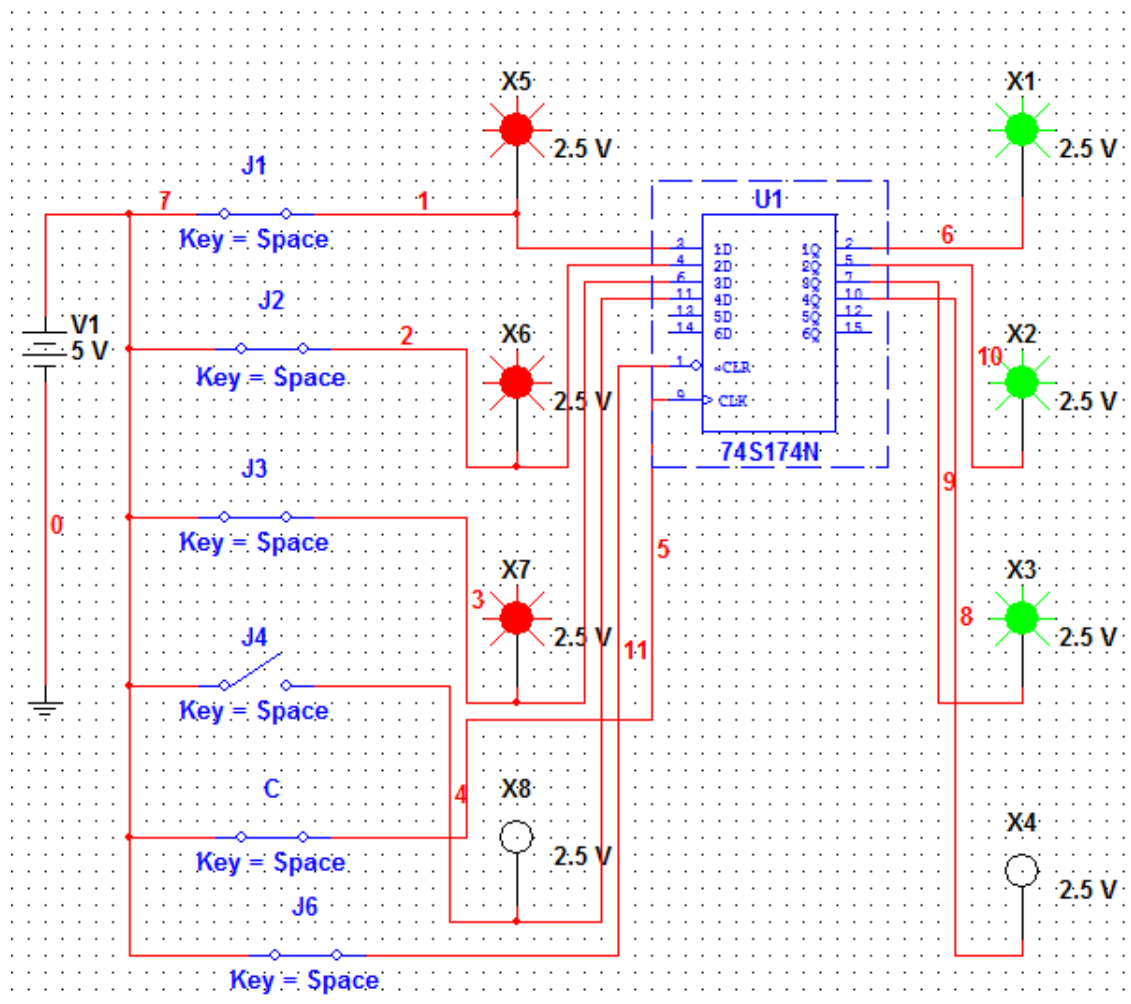


Рисунок 6.5 – Схема дослідження паралельного регістра 74S174N

Таблиця 6.3

J1	J2	J3	J4	C	X1	X2	X3	X4

Контрольні запитання

1. Поясніть, що таке регістр. Яка його роль в ЕОМ?
2. Назвіть мікрооперації які можуть виконувати регістри.
3. Назвіть типи регістрів.
4. Для чого в регістрах використовується операція скидання в нуль?.
5. Назвіть базові елементи побудови регістрів.

Вимоги до оформлення звіту лабораторної роботи.

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження;
- 3) навести в таблицях отримані результати роботи;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

Лабораторна робота №7

ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи лічильників, реалізованих на тригерах та у вигляді інтегральних схем.

Теоретичні відомості

Послідовнісні цифрові пристрої, які забезпечують зберігання інформаційних слів та виконання над ними мікрооперацій рахунку, називаються лічильниками. Мікрооперація підрахунку зводиться до того, що значення числа x змінюється на ± 1 .

Основним параметром лічильника є модуль лічильника, який визначає кількість одиничних сигналів, які можуть бути пораховані лічильником.

Лічильник, що містить n двійкових розрядів, може знаходитись у станах $0, 1, 2, \dots, 2^n - 1$. Із надходженням на вхід підсумовуючого лічильника $2n$ -ої одиниці він переходить із стану $2^n - 1$ в стан логічного нуля. Таким чином n -розрядний підсумовуючий лічильник має модуль рахунку $k_p \leq 2^n$.

Лічильники можна кваліфікувати за декількома ознаками. У залежності від напрямку рахунку, розрізняють підсумовуючі (прямий рахунок), віднімаючі (зворотний рахунок) та реверсивні (прямий та зворотний рахунки). За способом реалізації схеми перенесення розрізняють лічильники з послідовним, паралельним та паралельно-послідовним перенесенням. За модулем рахунку розрізняють лічильники двійкові, десяткові, двійково-десяткові з довільним постійним модулем та змінним модулем. У залежності від наявності синхронізації, розрізняють синхронні та асинхронні.

Синтез лічильників зводиться до визначення оптимальної, в певному розумінні, структури і побудови його принципової схеми. Оптимальна структура лічильника передбачає мінімальну кількість тригерів і зв'язків між ними, за якої забезпечується виконання лічильником заданих функцій із заданими параметрами.

На рисунку 7.1,а наведена схема трирозрядного лічильника який працює як підсумовуючий. Він здійснює підрахунок імпульсів від 0 до 7. Число рахунку може бути збільшене у випадку підключення до виходу лічильника додаткових розрядів. Перший тригер лічильника створює

молодший розряд сигналу Q_1 , який надходить на вхід другого розряду, вихідна напруга якого подається на вхід третього і т.д.

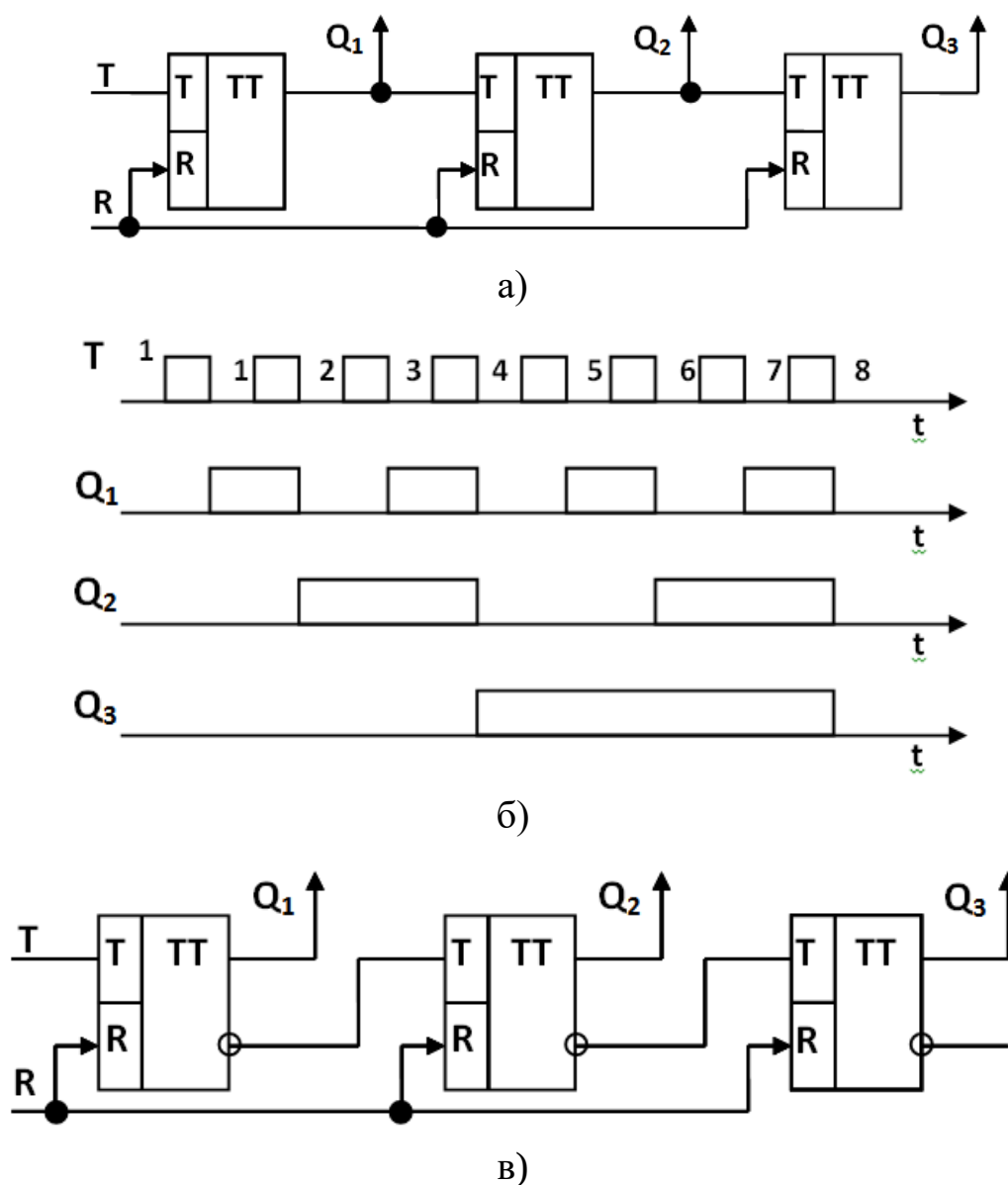


Рисунок 7.1 – Принципова схема лічильника підсумовуючого (а), його часові діаграми (б) та принципова схема віднімаючого лічильника (в).

На рисунку 7.1,б наведено часові діаграми роботи підсумовуючого лічильника. У схемі сигнал, поданий на вхід $R = 1$ приводить всі тригери у початковий стан, тобто стан, при якому $Q_1 = Q_2 = Q_3 = 0$. Зріз першого вхідного сигналу (задній фронт імпульсу) перемикається тригер молодшого розряду лічильника (діаграма Q_1). Зріз напруги Q_1 перемикається тригер другого розряду лічильника (діаграма Q_2). Зріз сигналу Q_2 викликає перемикання тригера третього розряду (діаграма Q_3).

Синхронні лічильники з паралельним переносом

Такі лічильники, на відміну від послідовних, мають входи, на які подаються вхідні сигнали C на всі розряди. Щоб у кожному такті не перемикались всі тригери, для керування процесом перемикання використовуються логічні схеми I , на які надходять сигнали з виходів попередніх розрядів (рисунок 7.2). Для цієї схеми справедливі наступні співвідношення:

$$Q_2 = Q_1 C; Q_3 = Q_1 \cdot Q_2 C; Q_4 = Q_1 \cdot Q_2 \cdot Q_3 C.$$

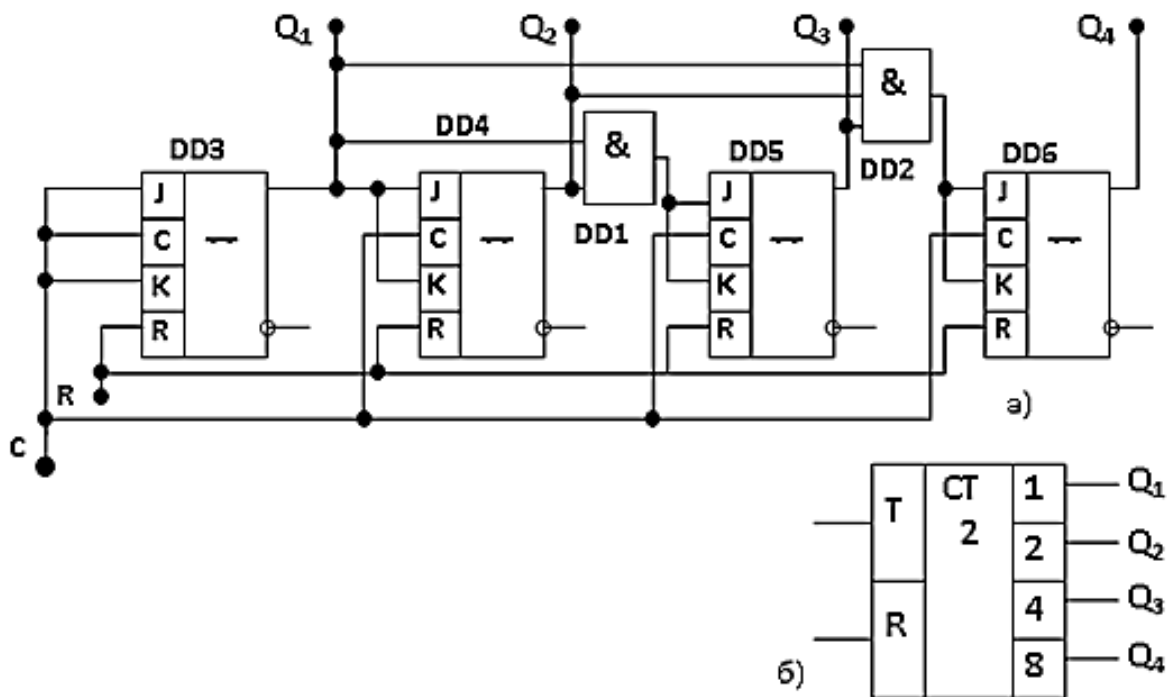


Рисунок 7.2 – Схема синхронного лічильника із логікою формування перенесення (а), умовне позначення (б)

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть Т-тригер T_FF . Виконайте моделювання схеми 4-розрядного підсумовуючого лічильника, зображеної на рисунку 7.3.

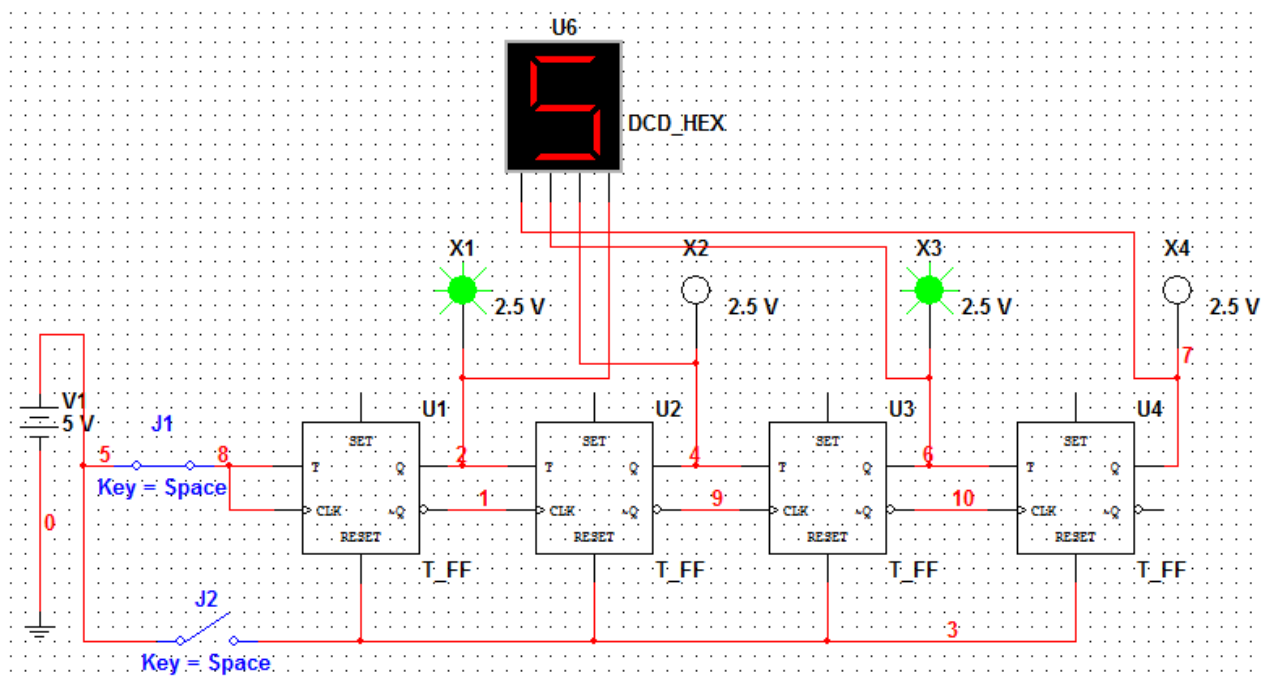


Рисунок 7.3 – Схема дослідження 4-розрядного підсумовуючого лічильника

4. Увімкніть схему. Послідовно подавайте за допомогою ключа J1 послідовність імпульсів від 0 до 16, наведених в таблиці 7.1. За отриманими на виході результатами заповніть таблицю істинності. Підготуйте висновки.

Таблиця 7.1

J1	X4	X3	X2	X1	Шістнадцяткове число
0					
...					
16					

5. Замініть джерело живлення в схемі на рисунку 7.3 функціональним генератором та підключіть логічний аналізатор (рисунок 7.4). З генератора подайте прямокутні імпульси частотою $f = 50$ Гц. На аналізаторі виставте частоту синхронізації $f = 50$ Гц. Зніміть часову діаграму. Наведіть висновки.

6. Виконайте моделювання схеми 4-розрядного віднімаючого лічильника, зображеної на рисунку 7.5.

7. Послідовно подавайте за допомогою ключа J1 послідовність імпульсів від 16 до 0. Заповніть таблицю 7.1 для цього дослідження.

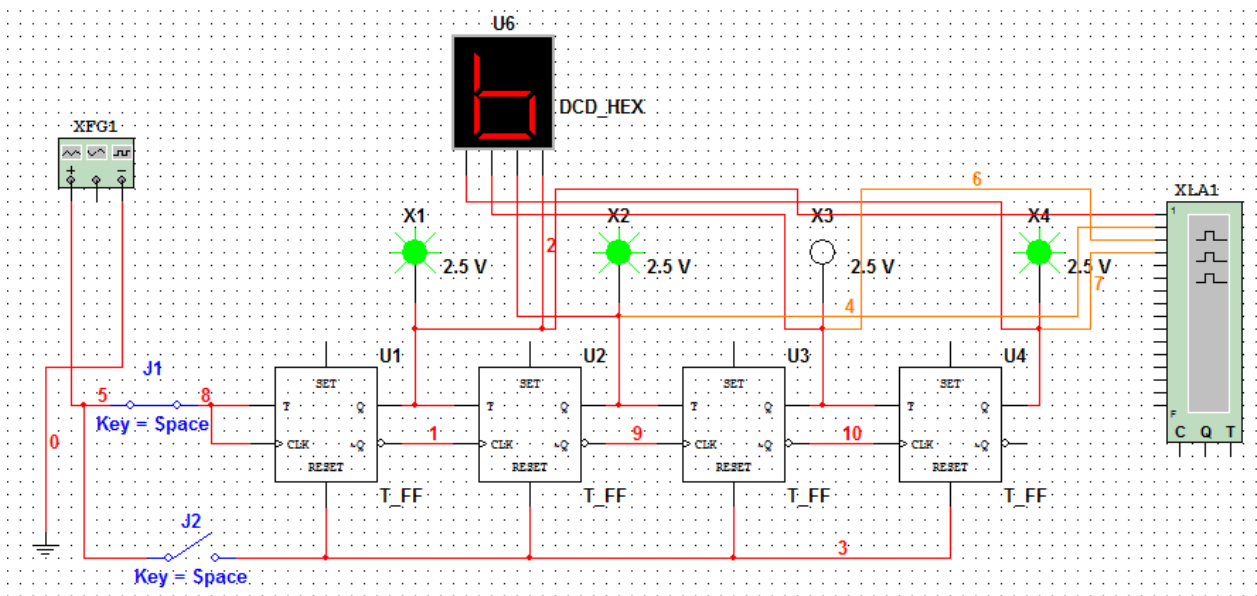


Рисунок 7.4 – Схема дослідження 4-розрядного підсумовуючого лічильника

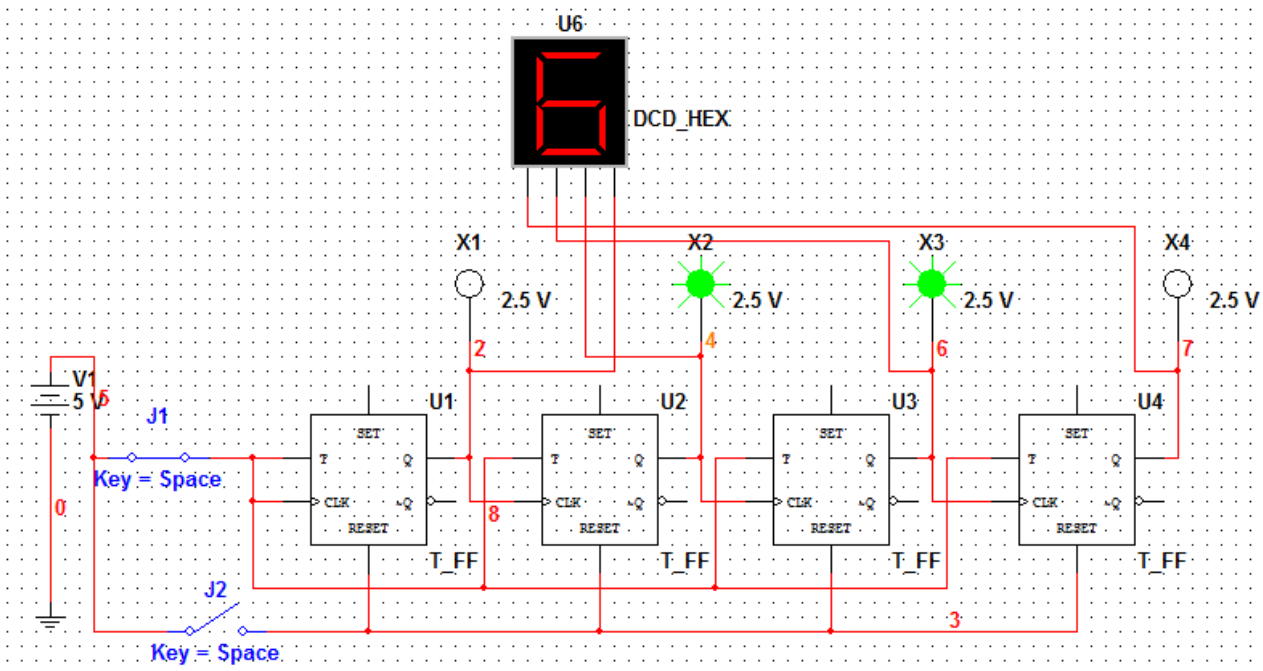


Рисунок 7.5 – Схема дослідження 4-розрядного віднімаючого лічильника

8. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть тригер JK_FF. Виконайте моделювання схеми 4-розрядного підсумовуючого лічильника з паралельним переносом, зображеної на рисунку 7.6.

9. Послідовно подавайте за допомогою ключа J1 послідовність імпульсів від 0 до 16, наведених в таблиці 7.1. На основі отриманих результатів на виході заповніть таблицю. Зробіть висновки.

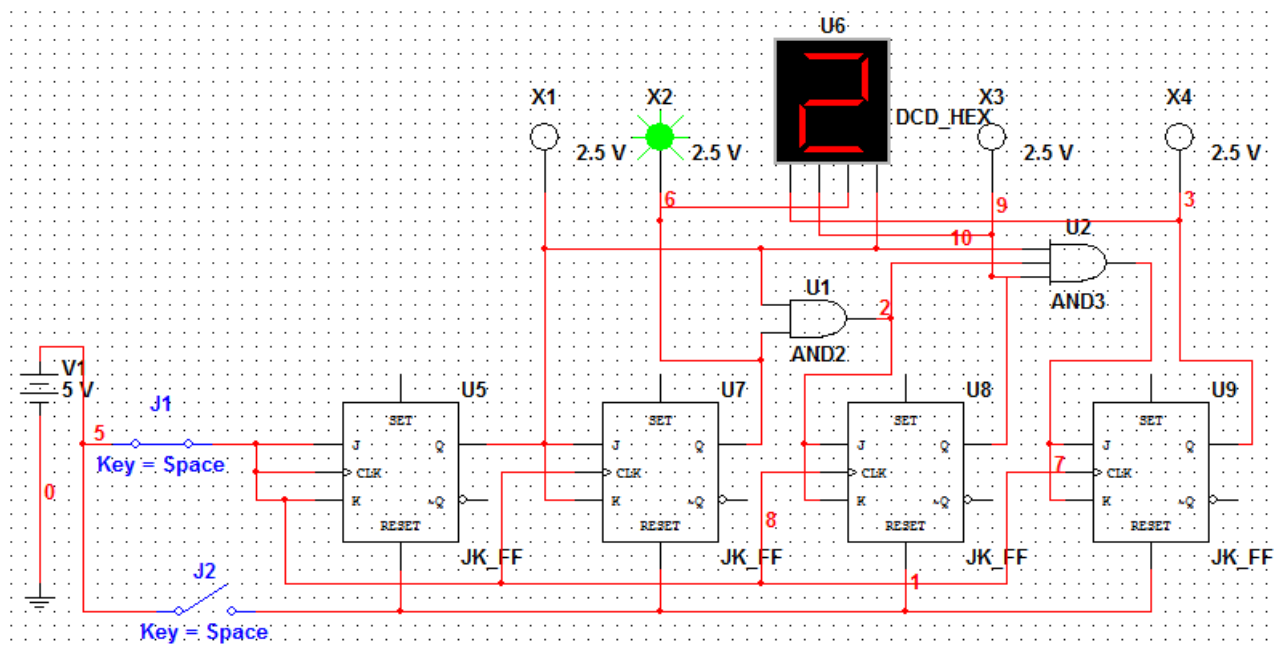


Рисунок 7.6 – Схема дослідження 4-розрядного підсумовуючого лічильника з паралельним переносом

Контрольні запитання

1. Поясніть, що таке лічильник імпульсів. Яка його роль в ЕОМ?
2. Наведіть схему і поясніть принцип роботи асинхронного лічильника додавання на JK-тригерах.
3. Поясніть різницю між асинхронними та синхронним лічильниками.
4. Поясніть принцип роботи синхронного лічильника на Т-тригерах.
5. Для чого використовується ключ J2 в схемах лічильників на рис. 1-3?
6. Для чого використовується принцип паралельного переносу у синхронних лічильниках?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження;
- 3) навести в таблицях отримані результати та відобразити часові діаграми роботи;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

Лабораторна робота №8

ДОСЛІДЖЕННЯ СУМАТОРІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи комбінаційного суматора, реалізованого на логічних елементах і у вигляді інтегральних схем.

Теоретичні відомості

Комбінаційними суматорами називаються комбінаційні пристрої, що призначений для додавання двох n -розрядних слів (чисел). У цифровій техніці додавання виконується переважно над двійковими (рідше двійково-десятковими) числами. Операція віднімання замінюється додаванням слів в оберненому коді або коді, який доповнюється. Операції множення та ділення зводяться до реалізації багаторазового додавання та зсування. Тому суматор є важливою частиною арифметично-логічного пристрою.

Комбінаційні суматори часто будуються на основі однорозрядних півсуматорів і однорозрядних повних суматорів.

Півсуматорами називають пристрої з двома входами і двома виходами, на яких виробляються сигнали суми і перенесення. Умовне позначення півсуматора, його таблиця істинності, логічні рівняння, що описують його вихідні сигнали, і варіант його реалізації на логічних елементах подані на рисунку 8.1. Тут a і b – входи доданків, S – вихід суми, p – вихід переносу.

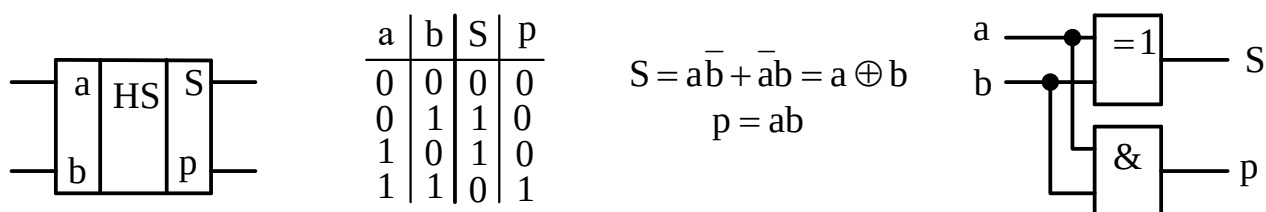


Рисунок 8.1 – Умовне позначення напівсуматора, таблиця істинності, логічні рівняння, варіант реалізації на логічних елементах

На рисунку 8.2 наведено умовне позначення однорозрядного повного суматора, його таблиця істинності, варіанти логічних рівнянь, що описують його роботу, і варіант реалізації на логічних елементах. Тут a і b – входи доданків, S – вихід суми, P_{i-1} – вхід переносу, P_i – вихід переносу.

Існує декілька типів багаторозрядних комбінаційних суматорів, тобто суматорів, що додають багаторозрядні числа. Вони різняться за формою входних кодів і способом побудови. Стосовно форми входних кодів суматори поділяються на послідовні та паралельні.

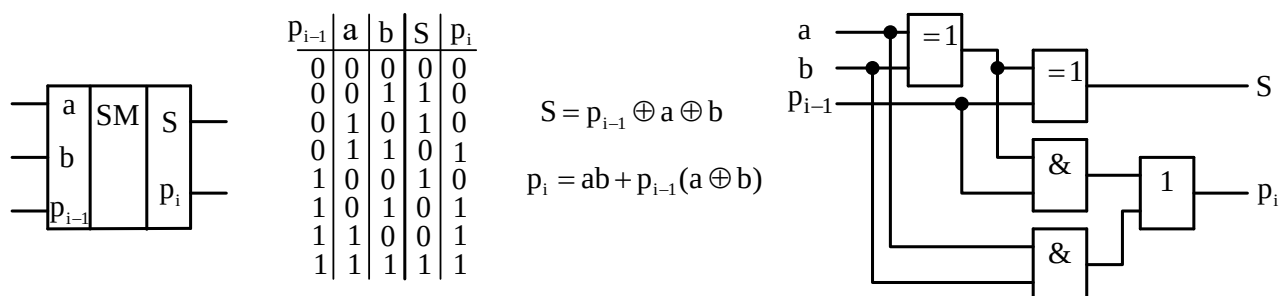


Рисунок 8.2 – Умовне позначення повного суматора, таблиця істинності, логічні рівняння, варіант реалізації на логічних елементах

N -розрядний суматор додає 2 N -розрядних числа (A і B), а також вхідний перенос C_{in} , і формує N -розрядний результат S і вихідний перенос C_{out} . Такий суматор називається суматором з розповсюдженням переносом (*carry propagate adder*, CPA), так як вихідний перенос одного розряду переходить в наступний розряд. Умовне позначення такого суматора показано на рисунку 8.3. Воно аналогічне позначенню повного суматора за винятком того, що входи / виходи A , B , S є шинами, а не окремими розрядами.

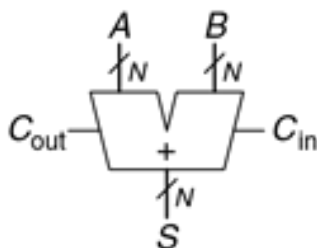


Рисунок 8.3 – Умовне позначення N -розрядного суматора

Найпростіший спосіб реалізації N -розрядного суматора – це об'єднання в ланцюг N повних суматорів. Вихід C_{out} деякого розряду буде надходити на вхід C_{in} наступного розряду і т. д. (рисунок 8.4 для 32-розрядного суматора).

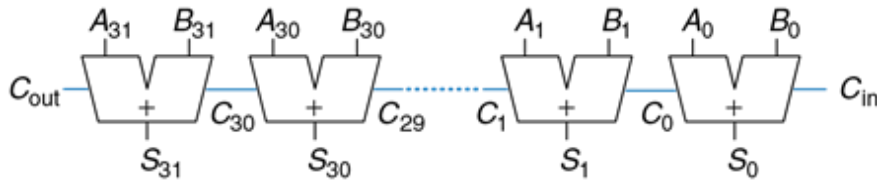


Рисунок 8.4 – Схема реалізації 32-розрядного суматора

Така схема називається *суматором з послідовним переносом (ripple-carry adder)*. При її проектуванні використовується принцип модульності і регулярності: модуль повного суматора багаторазово використовується для формування більшої системи. Такий суматор має недолік: його швидкість падає при збільшенні числа розрядів N .

Суматор із паралельним переносом

В суматорі з послідовним переносом тракти всіх однорозрядних суматорів ввімкнені послідовно. Для зменшення затримки використовується принцип паралельного переносу, коли вхідний перенос кожного розряду виробляється незалежно від переносу сусіднього меншого розряду.

Витрати обладнання на побудову суматора такого типу, особливо при великій кількості розрядів, настільки великі, що в чистому вигляді він практично не знаходить застосування.

На рисунку 8.5 зображено структурну схему паралельного багаторозрядного суматора з паралельно-послідовним переносом. Такий суматор є компромісним варіантом відносно двох попередніх.

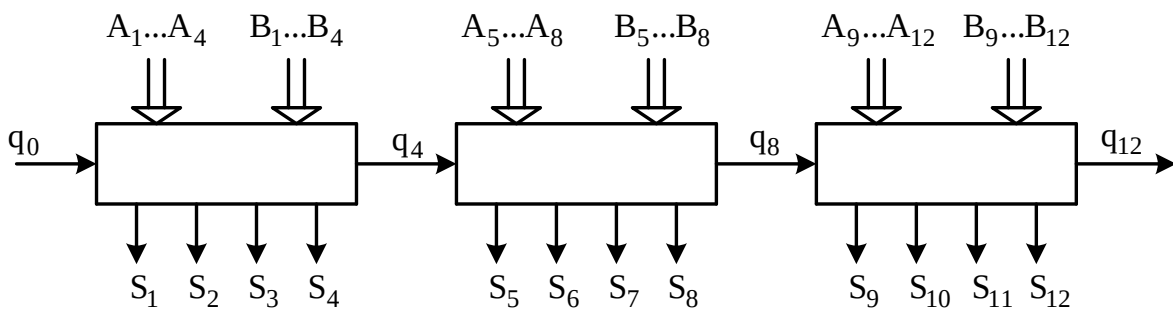


Рисунок 8.5 – Структурна схему паралельного багаторозрядного суматора з паралельно-послідовним переносом

У наведеній схемі дванадцятирозрядний суматор розділений на три чотирирозрядні блоки, кожен з яких побудований за принципом суматора з паралельним переносом, а між блоками реалізований послідовний принцип поширення переносу. Такий спосіб побудови суматорів дає змогу знайти компроміс між складністю їхньої побудови і швидкодією.

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть необхідні елементи. Виконайте моделювання схеми повного суматора, зображеної на рисунку 8.6.

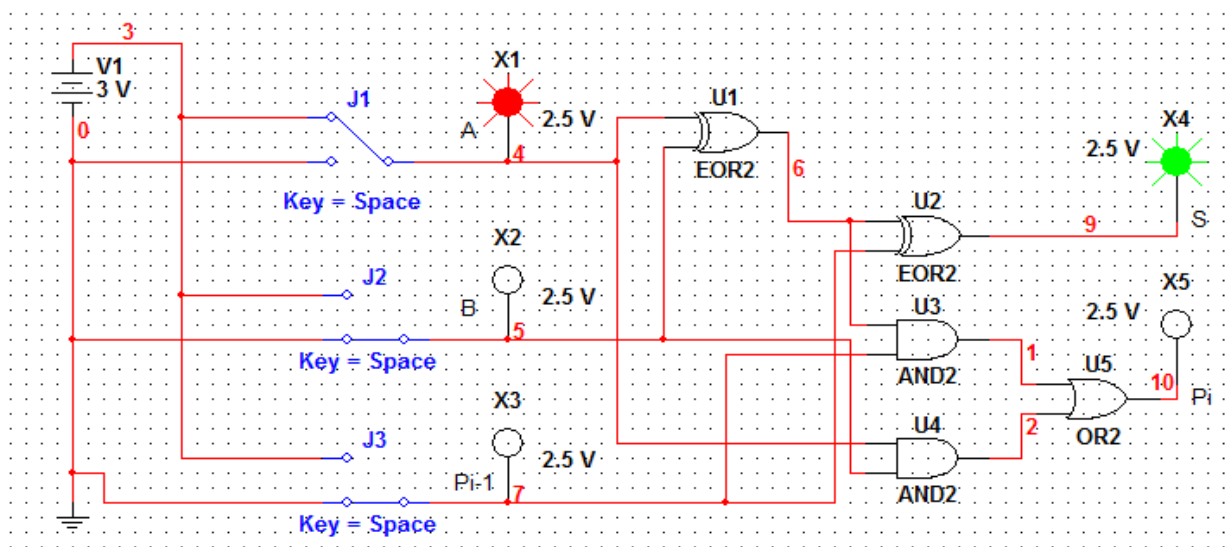


Рисунок 8.6 – Схема дослідження 1-розрядного повного суматора

4. Увімкніть схему. Послідовно подайте на схему комбінації вхідних сигналів, наведених в таблиці. За отриманими на виході результатами заповніть таблицю істинності. Сформулюйте висновки.

Таблиця 8.1

P_{i-1}	A	B	S	P_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

5. На панелі компонентів в розділі «Цифрові мікросхеми» (TIL) оберіть елемент FULL_ADDER.

6. Викликати на робоче поле прилад "Логічний перетворювач" (Logic Converter). Виконайте дослідження повного суматора FULL_ADDER, зображеного на рисунку 8.7.

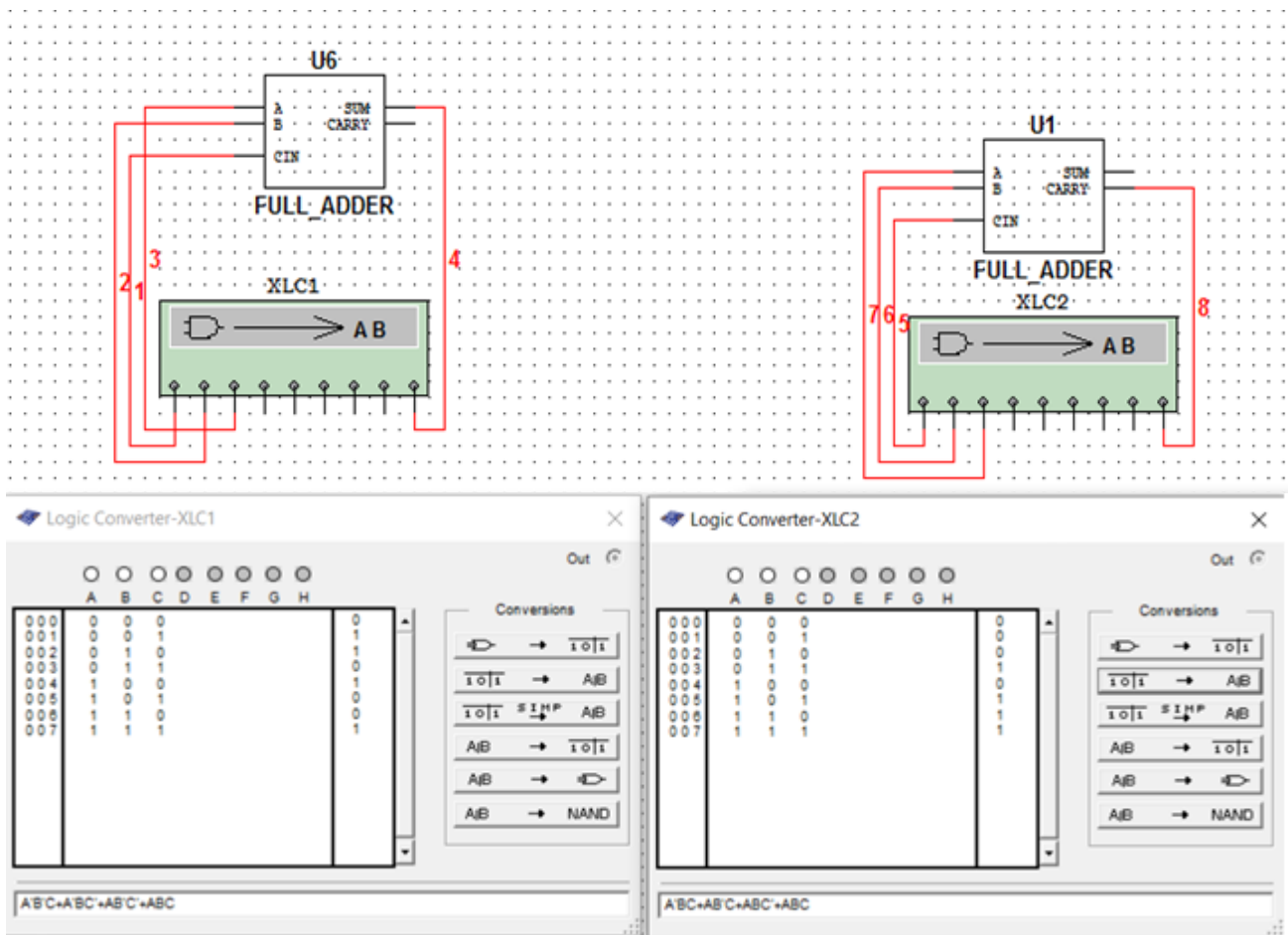


Рисунок 8.7 – Схема дослідження повного суматора FULL_ADDER

7. За допомогою логічного перетворювача зніміть таблицю істинності повного суматора та порівняйте з результатами пункту 4.

8. Запишіть мінімізовані булеві вирази та реалізуйте повний суматор за допомогою логічного аналізатора на логічних елементах.

9. Виконайте моделювання схеми 4-розрядного суматора, зображеної на рисунку 8.8.

10. Частоту синхронізації генератора слів та логічного аналізатора встановіть рівною 1 кГц (рисунок 8.9).

11. На вхід схеми суматора подайте сигнали з генератора слів (відповідно до варіанту, заданого в таблиці 8.2). Чотири молодші розряди кожного генерованого слова складають перший доданок (операнд). Чотири найстарші розряди складають другий доданок (операнд). На індикаторах для спостереження відображаються цифри у 16-ковому коді. На виході схеми використайте логічний аналізатор для дослідження часових діаграм роботи.

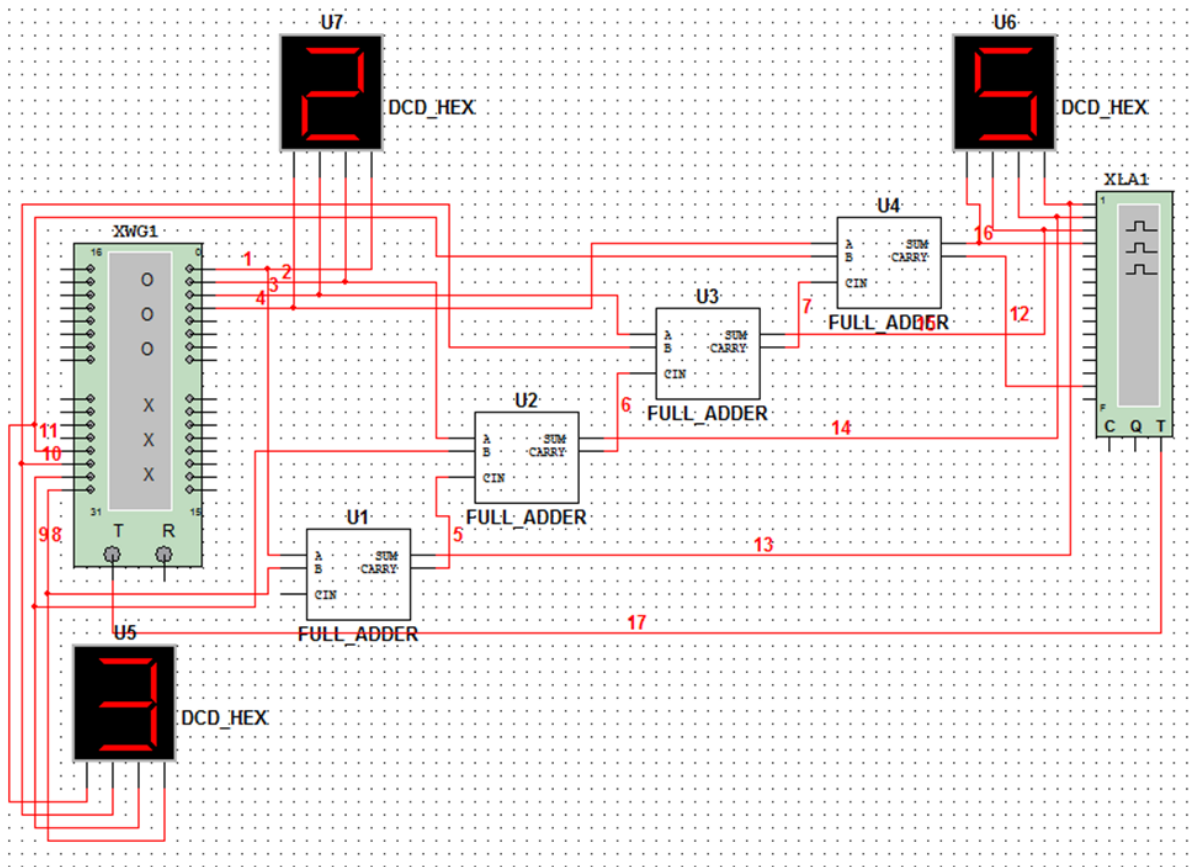


Рисунок 8.8 – Схема дослідження 4-розрядного суматора

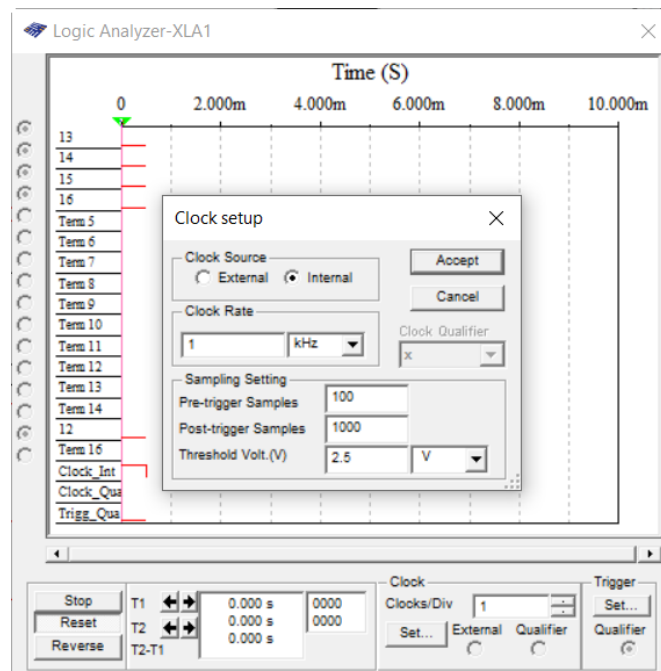


Рисунок 8.9 – Встановлення частоти синхронізації

12. Введення двійкових чисел в генератор слів виконайте вручну, як показано на рисунку 8.10.

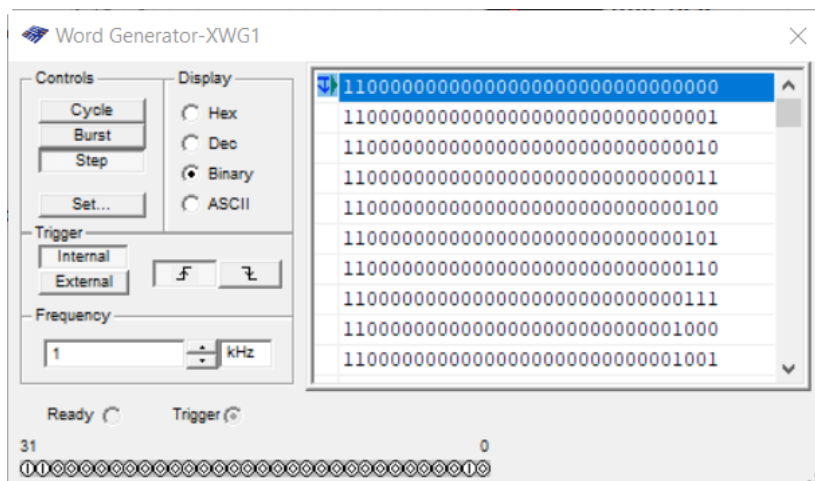


Рисунок 8.10 – Програмування генератора слів

13. Запустіть процес моделювання в режимі «покроково» і стежте за показами індикаторів. Запишіть операнди і результат підсумовування в таблицю.

14. За допомогою логічного аналізатора відобразіть часові діаграми та зробіть висновки.

Таблиця 8.2

Номер варіанту	Перший операнд	Другий операнд	Сума
1	0001	від 0000 до 1111	
2	0010	від 0000 до 1111	
3	0011	від 0000 до 1111	
4	0100	від 0000 до 1111	
5	0101	від 0000 до 1111	
6	0110	від 0000 до 1111	
7	0111	від 0000 до 1111	
8	1000	від 0000 до 1111	

Контрольні запитання

1. Що таке напівсуматор і повний суматор?
2. Які логічні елементи використовуються для побудови суматора?
3. Наведіть класифікацію суматорів за визначальними ознаками.
4. Як можна отримати раціональну схему суматора?
5. Що таке багаторозрядний суматор? Наведіть позначення.
6. У яких режимах роботи може працювати генератор слів?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження суматора;
- 3) навести в таблицях отримані результати та відобразити часову діаграму роботи 4-ри розрядного суматора;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

Лабораторна робота № 9

ДОСЛІДЖЕННЯ КОМПАРАТОРІВ

Мета роботи: ознайомитися з принципом побудови та логікою роботи цифрових компараторів, реалізованих на логічних елементах та у вигляді інтегральних схем.

Теоретичні відомості

Компаратори визначають, чи є два двійкових числа рівними або чи одне з них є більшим / меншим від іншого. Компаратор порівнює два N -розрядних двійкових числа A і B . Існує 2 типу компараторів.

Компаратор *рівності* видає один вихідний сигнал, показуючи чи рівні A і B ($A = B$). Компаратор *величини* видає один і більше вихідних сигналів, показуючи відношення величин A і B . Результат порівняння відображається відповідним логічним рівнем на виході.

Цифрові компаратори, реалізовані у вигляді інтегральних мікросхем, виконують, як правило, всі перелічені вище операції і мають три виходи. Такі компаратори формують на виходах три ознаки: $A = B$, $A > B$ та $A < B$, де A і B – значення кодів, що порівнюються.

Отже, при порівнянні необхідно лише встановити факт рівності бінарних чисел A і B однакової розрядності. Наприклад, при n -розрядних числах, компаратор складається з n суматорів за модулем 2, виходи яких підключені до елемента АБО. Тільки при співпадині значень всіх розрядів чисел A і B на виходах усіх суматорів буде 0, а якщо ні, то 1.

Операція порозрядного порівняння полягає в видачі ознаки рівності (рівнозначності) або нерівності (нерівнозначності) двох порівнюваних двійкових чисел. Логічна функція, що виражає рівність, рівна 1, якщо одиниці рівний добуток цих цифр або добуток їх інверсних значень.

Найбільш поширений спосіб порівняння двох чисел, заздалегідь записаних в регістри, ґрунтується на їх порозрядному порівнянні, починаючи із старшого, тобто використовується принцип послідовного порівняння кодів багаторозрядних чисел. Якщо порівнюються два числа $A(a_n, a_{n-1}, \dots, a_1)$ і $B(b_n, b_{n-1}, \dots, b_1)$, то умовою їх рівнозначності ($A = B$) є рівність кодів усіх однойменних розрядів, а умовою нерівнозначності ($A \neq B$) – нерівність кодів хоча б у одному розряді, при цьому $A > B$, якщо $a = 1, b = 0$ і навпаки.

Компаратор рівності має просту апаратну реалізацію. На рисунку 9.1 показано позначення і реалізацію 4-розрядного компаратора рівності. Перш за все, за допомогою логічних елементів XNOR, він перевіряє, чи є відповідні розряди A і B рівними. Значення будуть рівними, якщо всі відповідні розряди рівні.

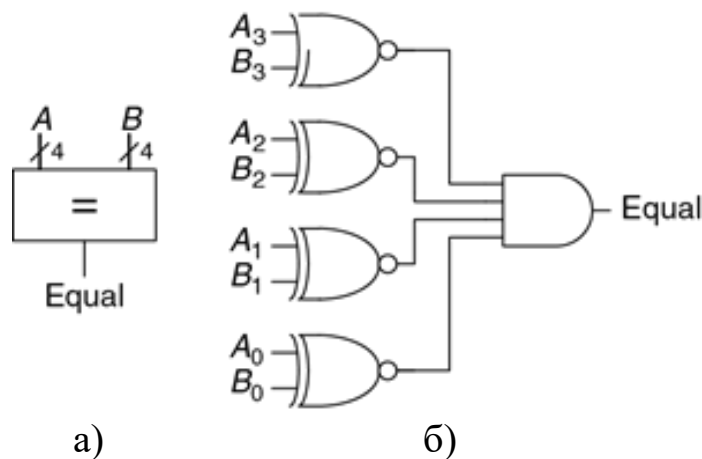


Рисунок 9.1 – 4-розрядний компаратор рівності:
а) умовне позначення, б) реалізація

Компаратор величини обчислює $A - B$ і аналізує знак (найстарший розряд) результату. Якщо результат негативний (найстарший розряд = 1), то A менше B . В іншому випадку A більше або дорівнює B . На рисунку 9.2 представлено компаратор величини для N -розрядних чисел



Рисунок 9.2 – N -розрядний компаратор величини

Порядок виконання роботи

1. Запустіть Multisim.

2. Підготуйте новий файл для роботи.

3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть необхідні елементи. Виконайте моделювання схеми однорозрядного компаратора на логічних елементах. Викличте на робоче поле прилад "Логічний перетворювач" (*Logic Converter*). Виконайте дослідження схем, зображених на рисунках 9.3.

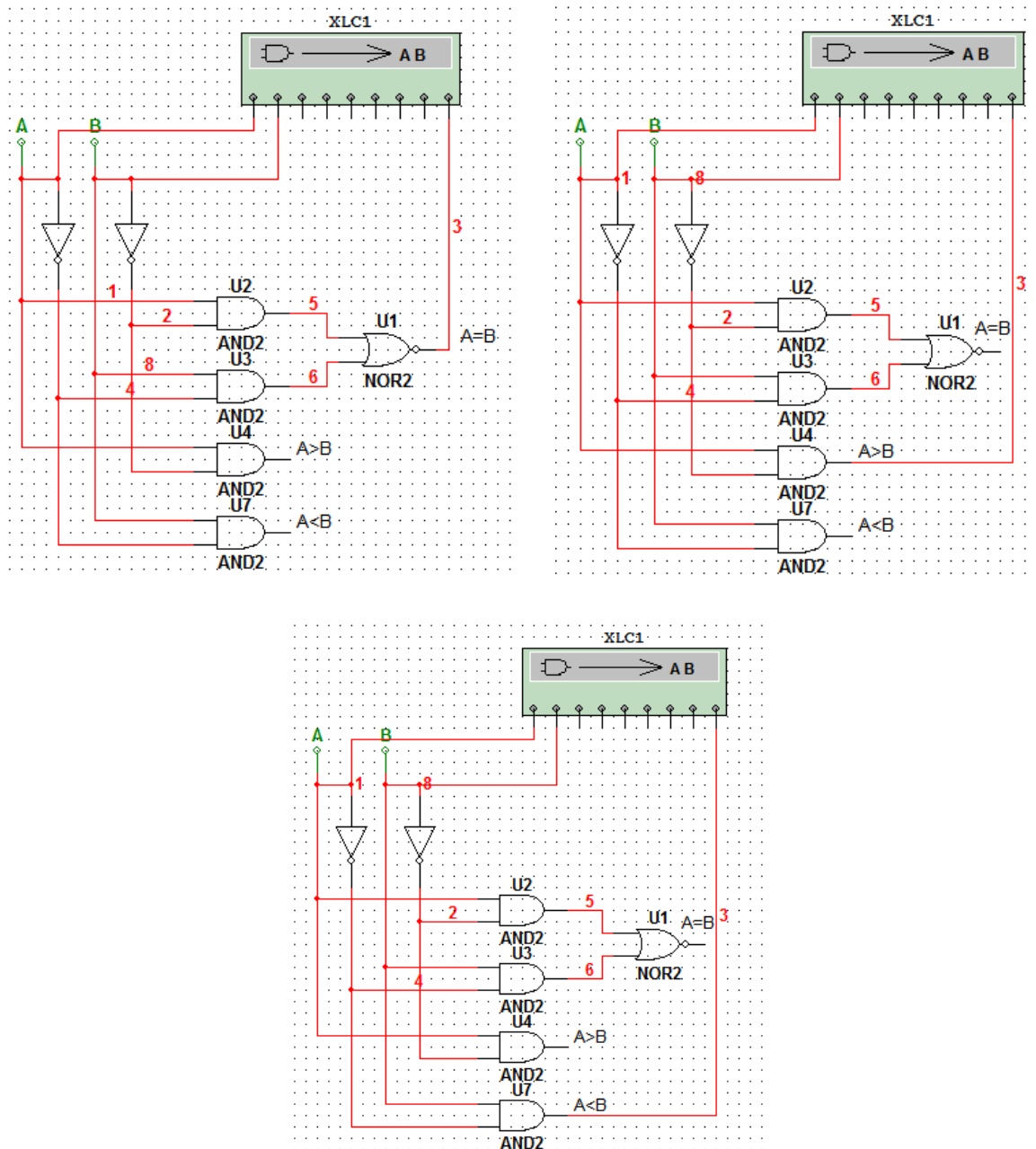


Рисунок 9.3 – Схеми досліджень компаратора

4. На основі отриманих на виході результатів заповніть таблицю 9.1. Запишіть булеві вирази для даних схем. Підготуйте висновки.

Таблиця 9.1

A	B	$A=B$	$A>B$	$A<B$
0	0			
1	0			
0	1			
1	1			

5. Виконайте моделювання схеми 4-розрядного компаратора, зображеної на рисунку 9.4. Мікросхему компаратора 74F85N оберіть з розділу «Логічні мікросхеми TTL».

6. Подавайте за допомогою ключів A0-A3 та B0-B3 7 (сім) довільних комбінацій 4-розрядних двійкових чисел з таблиці 9.2. Заповніть таблицю 9.2 для цього дослідження.

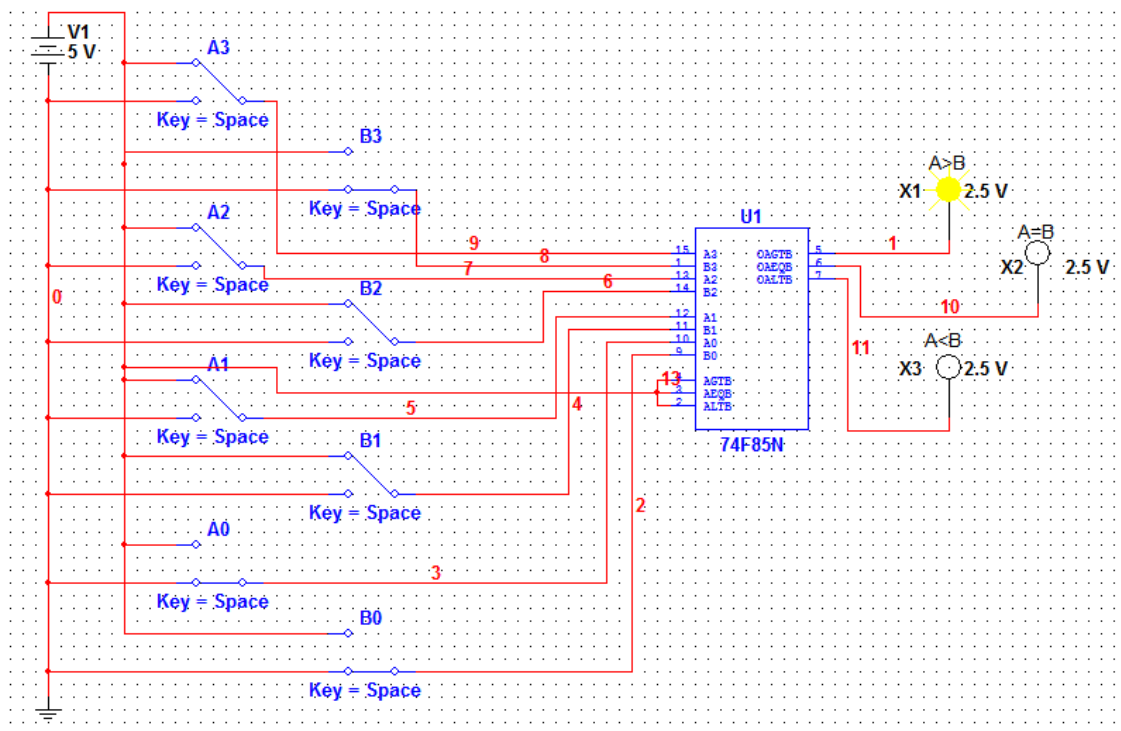


Рисунок 9.4 – Схема досліджень компаратора 74F85N

Таблиця 9.2

A3A2A1A0	B3B2B1B0	$A<B$	$A=B$	$A>B$
0001	1000			
...	...			
0011	0011			
...	...			
1001	0101			

7. Проаналізуйте отримані результати та зробіть висновок.

8. На вхід компаратора (рисунок 9.5) подайте сигнали з генератора слів (відповідно до попереднього дослідження). Введення двійкових чисел в генератор слів виконати вручну, згідно таблиці 9.2. Чотири молодші розряди кожного генерованого слова складають перше число, чотири найстарші розряди складають друге число. На виході схеми логічний аналізатор використайте для дослідження часових діаграм роботи.

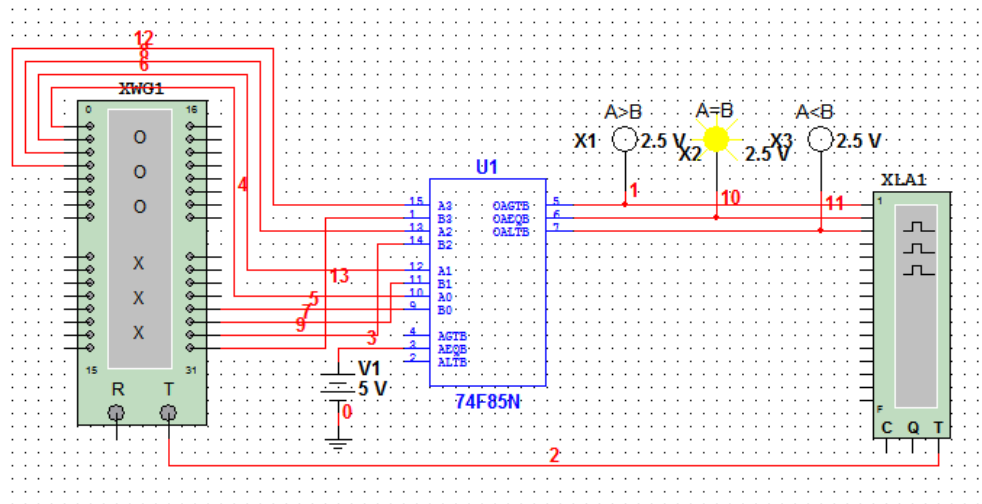


Рисунок 9.5 – Схема досліджень компаратора 74F85N

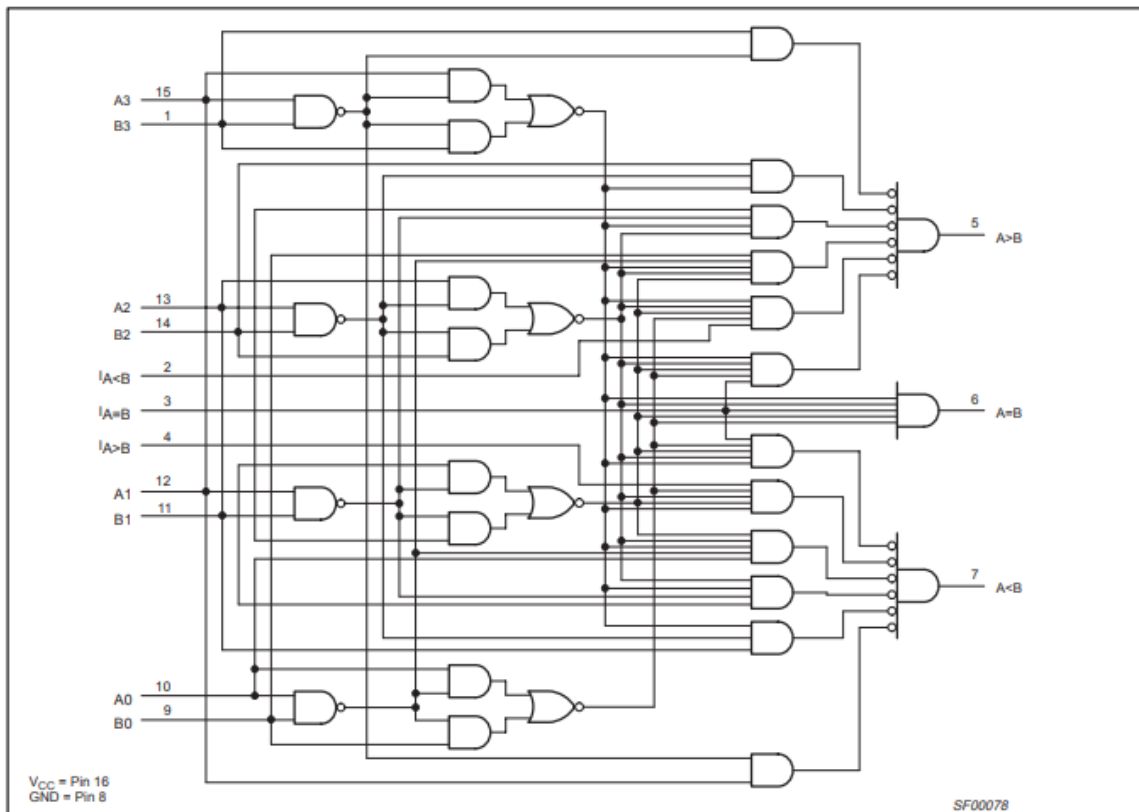


Рисунок 9.6 – Логічна схема мікросхеми 74F85N

9. Синхронізуйте генератор слів і логічний аналізатор на частоті $f = 1\text{кГц}$. Запустіть процес моделювання в режимі «покроково». За допомогою логічного аналізатора відобразіть часові діаграми та оформіть висновки.

Контрольні запитання

1. Поясніть, що таке компаратор. Яка його роль в ЕОМ?
2. Які операції виконують цифрові компаратори.
3. Назвіть базовий елемент цифрового компаратора.
4. Поясніть принцип побудови схеми порівняння двох двійкових слів на "рівність".
5. Поясніть принцип побудови схеми порівняння двох двійкових слів на "більше".

Вимоги до оформлення звіту лабораторної роботи.

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження;
- 3) навести в таблицях отримані результати та відобразити часову діаграму роботи;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

Лабораторна робота № 10

РЕАЛІЗАЦІЯ ТА ДОСЛІДЖЕННЯ АЛП

Мета роботи: ознайомитися з принципом побудови та логікою роботи арифметико-логічного пристрою, реалізованого на логічних елементах та у вигляді інтегральних схем.

Теоретичні відомості

Арифметико-логічні пристрої (АЛП, *Arithmetic / Logical Unit (ALU)*) є основною складовою частиною процесорів і призначені для виконання операцій над машинними словами (числами, командами, кодами). Наприклад, типовий АЛП може виконувати додавання, віднімання, порівняння величин, операції «І» та «АБО». АЛП входить до ядер більшості комп'ютерних систем. В порівнянні з приладами, які працюють на жорсткій логіці, АЛП є пристроєм більш високого класу. В мікропроцесорній техніці АЛП є базовими елементами. Вони використовуються разом з регістрами зсуву, оперативними запам'ятовувачами пристроями і іншими вузлами. Набір операцій, що виконує АЛП, повинен володіти функціональною повнотою для того, щоб з його допомогою можна було б реалізувати будь-який обчислювальний алгоритм. Мінімальний набір операцій, який забезпечує функціональну повноту, включає всього чотири операції: перерахування, додавання з +1 або -1, умовний перехід за збігом слів і безумовний перехід. При всій різноманітності операцій, які є в сучасних АЛП, до їх складу завжди входять основні арифметичні операції та найважливіші логічні операції. Набір операцій, що виконує АЛП, є важливою його характеристикою.

За способами виконання обчислень АЛП діляться на послідовні, паралельні і послідовно-паралельні. Паралельні АЛП використовуються в основному в швидкодіючих процесорах. Такі АЛП забезпечують високу швидкодію і потребують для своєї реалізації великих апаратних витрат. Значно менших апаратних витрат потребують для своєї реалізації послідовні і послідовно-паралельні АЛП. Такі АЛП використовуються в процесорах з жорсткими вимогами до габаритів і споживаної потужності.

За формою представлення чисел розрізняють АЛП з плаваючою комою, АЛП з фіксованою комою та АЛП, що працюють як з плаваючою, так і з фіксованою комою.

На рисунку 10.1 зображено умовне позначення N-розрядного АЛП з N-розрядними входами і виходами. В АЛП надходить керуючий сигнал F, який визначає, яку функцію потрібно виконати. У таблиці 10.1 перераховані типові функції, які виконує АЛП. Функція SLT використовується для порівняння за значенням.

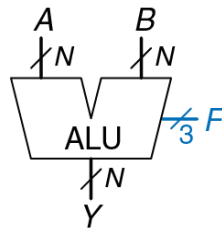


Рисунок 10.1 – Умовне позначенняї АЛП

Таблиця 10.1 – Операції АЛП

$F_{2:0}$	Function
000	A AND B
001	A OR B
010	A + B
011	not used
100	A AND $\bar{B}$
101	A OR $\bar{B}$
110	A - B
111	SLT

На рисунку 10.2 показана реалізація вузла АЛП. Він складається з N -бітного суматора, N двовходових логічних елементів І і двовходових логічних елементів АБО. Також він містить інвертори і мультимплексор для інверсії бітів B , коли керуючий сигнал F_2 активний. Мультимплексор з організацією 4:1 вибирає потрібну функцію, виходячи з сигналів управління $F_{1:0}$.

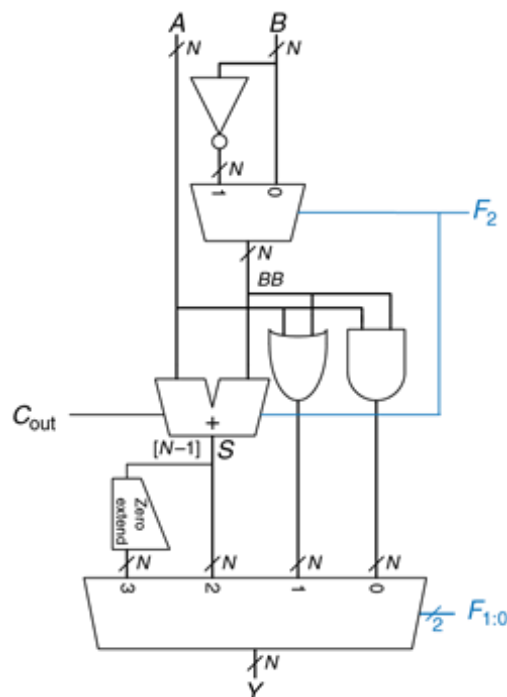


Рисунок 10.2 – Схема реалізації N-розрядного АЛП

Порядок виконання роботи

1. Запустіть Multisim.
2. Підготуйте новий файл для роботи.
3. На панелі компонентів в розділі «Цифрові мікросхеми» оберіть необхідні елементи AND2, OR2, MUX_2TO1, MUX_4TO1, FULL_ADDER,. В панелі компонентів в розділі логічні елементи TTL оберіть інвертори 74F04D. Виконайте моделювання схеми однорозрядного арифметико-логічного пристрою (АЛП), зображеної на рисунку 10.3.

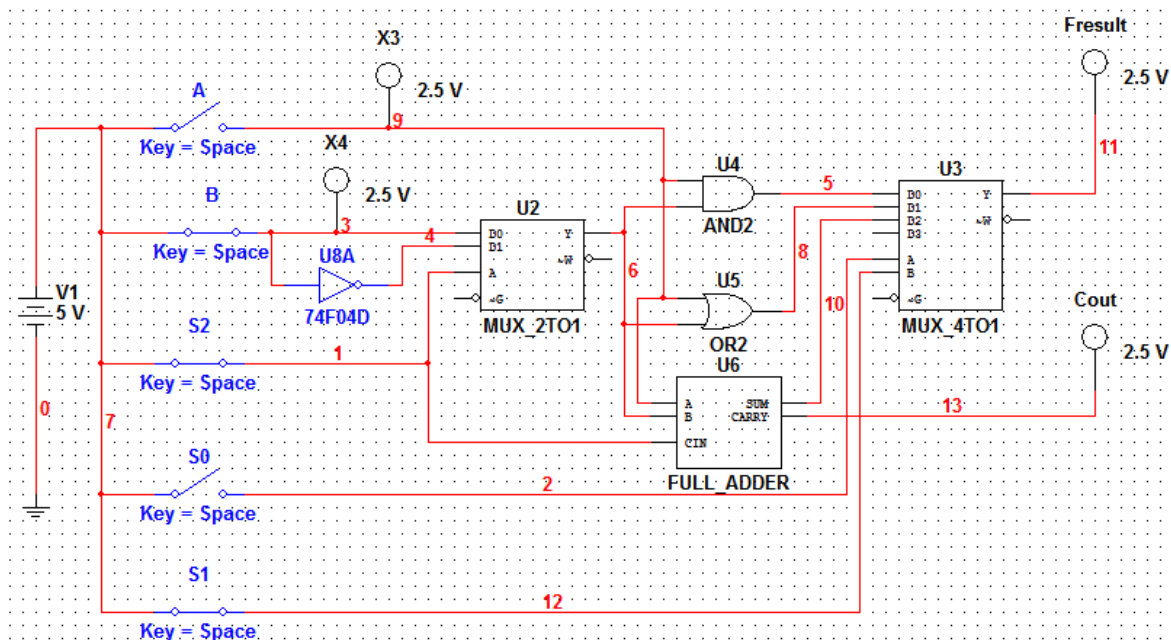


Рисунок 10.3 – Схема дослідження однорозрядного АЛП

4. Подайте за допомогою ключів А та В комбінації однорозрядні двійкові числа згідно таблиці 10.1. Використовуючи ключі S0-S2, подайте на мультиплексори сигнали керування для виконання АЛП відповідних логічних та арифметичних операцій.

5. Отримані на виході результати внесіть до таблиці 10.1. Зробіть висновки, які операції виконуються при відповідних сигналах керування.

Таблиця 10.1

S2	S1	S0	A B	Fresult	A B	Fresult	A B	Fresult	A B	Fresult	Операція	Cout
0	0	0	00		01		10		11			
0	0	1	00		01		10		11			
0	1	0	00		01		10		11			
0	1	1	00		01		10		11			
1	0	0	00		01		10		11			
1	0	1	00		01		10		11			
1	1	0	00		01		10		11			
1	1	1	00		01		10		11			

6. Виконайте моделювання схеми 4-розрядного АЛП, зображеної на рисунку 10.4. Мікросхему АЛП ALU_4BIT вибрати з розділу «Цифрові мікросхеми».

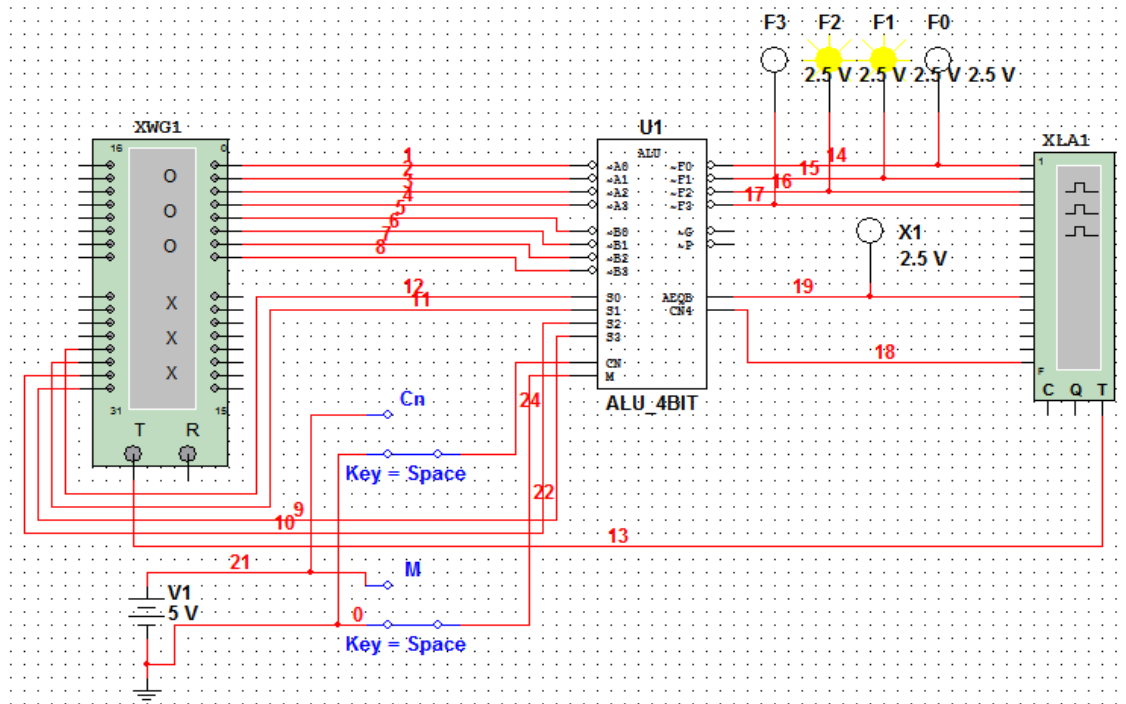


Рисунок 10.4 – Схема дослідження 4-ри розрядного АЛП

7. Частоту синхронізації генератора слів та логічного аналізатора встановіть рівною 1 кГц (рисунок 10.5).

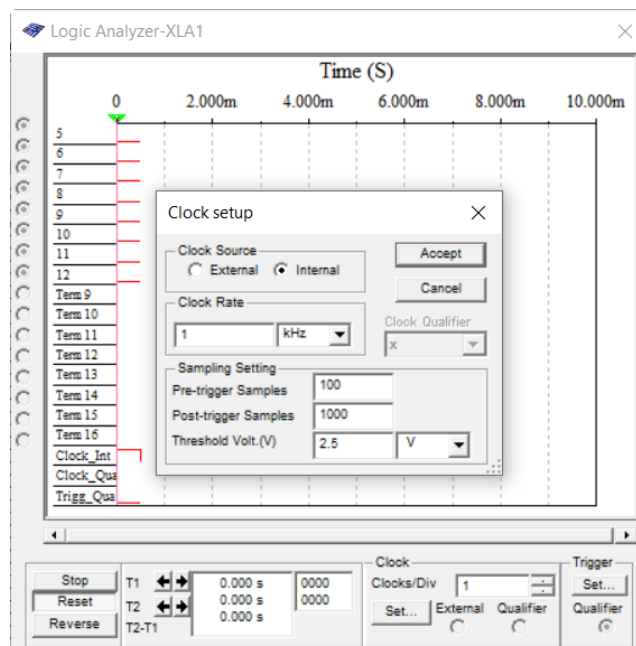


Рисунок 10.5 – Встановлення частоти синхронізації

8. На вхід схеми АЛП подайте сигнали з генератора слів. Чотири найстарші розряди кожного генерованого слова складають сигнал керування S3S2S1S0. Введення сигналів керування в генератор слів виконайте вручну згідно таблиці 10.2. Ключ М використовуйте для вибору: М = 1 (Н – високий рівень) – логічні функції, М = 0 (L – низький рівень) – арифметичні операції. Ключ Сп використовується для розширення арифметичних операцій, які виконуються АЛП. На виході схеми логічний аналізатор використайте для дослідження часових діаграм роботи.

Таблиця 10.2

SELECTION				ACTIVE-HIGH DATA		
				M = H LOGIC FUNCTIONS	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0		$\overline{C}_n = H$ (no carry)	$\overline{C}_n = L$ (with carry)
L	L	L	L	$F = \overline{A}$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L	$F = \overline{AB}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
L	L	H	H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L	H	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } \overline{AB}$	$F = A \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	L	H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } \overline{AB}$	$F = (A + B) \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = \overline{AB}$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
H	L	L	L	$F = \overline{A + B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H	$F = \overline{A \oplus B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L	$F = 1$	$F = A \text{ PLUS } A^\dagger$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

9. Значення операндів А і В оберіть довільно. Запустіть процес моделювання в режимі «покроково» і стежте за показами індикаторів. Переконайтесь у відповідності таблиці 10.2 отриманим результатам.

Контрольні запитання

1. Поясніть, що таке АЛП. Яка його роль в ЕОМ?
2. Який мінімальний набір операцій забезпечує функціональну повноту АЛП?
3. Які за способами виконання обчислень бувають АЛП?
4. Які функціональні елементи входять в структуру АЛП?
5. Як виконується операція віднімання в АЛП?
6. Яка роль мультиплексорів в структурі АЛП?

Вимоги до оформлення звіту лабораторної роботи

Звіт виконується на листах формату А4.

Зміст звіту

У звіті потрібно відобразити:

- 1) мету лабораторної роботи;
- 2) схеми дослідження;
- 3) навести в таблицях отримані результати та відобразити часову діаграму роботи;
- 4) висновки, що базуються на аналізі отриманих результатів;
- 5) відповіді на контрольні запитання.

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Якименко Ю.І. Мікропроцесорна техніка: Підручник / Ю. І. Якименко, Т. О. Терещенко, Є. І. Сокол – Львів: Видавництво Львівської політехніки, 2019. – 594 с.
2. Злобін Г. Г. Архітектура та апаратне забезпечення ПЕОМ : навч. посібник / Г. Г. Злобін, Р. Є. Рикалюк – К.: Каравела, 2012. – 304 с.
3. Сенько В. І. Електроніка і мікропроцесорна техніка: Навчальний посібник / Сенько В. І., Лисенко В. П., Юрченко О. М., Лукин В. Є., Руденський А. А. – К. : Аграрна освіта, 2015. – 676 с.
4. Рябенський В. М. Цифрова схемотехніка / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів: “Новий Світ-2000”, 2020. — 736 с.
5. Девід М. Харріс і Сара Л. Харріс. Цифрова схемотехніка та архітектура комп'ютера / пер. з англ. 2-е вид. – Morgan Kaufman, 2013. – 1621 с.
6. Приходько В. М. Комп'ютерна схемотехніка / В. М. Приходько, С. П. Євсєєв, К. В. Садовий. – Х. : Вид. ХНЕУ, 2011. – 299 с.
7. Воробйова О. М., Іванченко В. Д. Основи схемотехніки: У двох частинах: Навчальний посібник. – Одеса: ОНАЗ ім. О. С. Попова. – 2004, Ч. 2. – 172с.

Навчальне видання

Юрій БОРЗОВ

Олександр ХЛЕВНОЙ

Роман ГОЛОВАТИЙ

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Практикум

II частина

Літературний редактор: **Галина Падик**

Технічний редактор, верстка
та відповідальний за друк: **Олександр Хлевной**

Підписано до друку 18.12.2023 р.
Формат 60×84/16. Ум. друк. арк. 5,0.

Друк ВНРД ЛДУ БЖД
м. Львів, вул. Клепарівська, 35.
тел. /факс: (380-32) 233-00-88.